

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G11C 7/00		(45) 공고일자	2001년02월15일
		(11) 등록번호	10-0282026
		(24) 등록일자	2000년11월23일
(21) 출원번호	10-1997-0047515	(65) 공개번호	특1998-0024690
(22) 출원일자	1997년09월18일	(43) 공개일자	1998년07월06일
(30) 우선권 주장	96-267844 1996년09월18일 일본(JP) ✓ 96-342663 1996년12월06일 일본(JP) ✓		
(73) 특허권자	신닛폰세이테쓰 카부시키가이샤 아사무라 타카시		
(72) 발명자	일본국 도쿄도 치요다구 오오테마치 2쵸메 6-3 하자마가츠키		
(74) 대리인	일본 도쿄도 지요다구 오테마치 2쵸메 6반 3고 신닛폰세테쓰 가부시끼가이샤 내 김창세		

심사관 : 이철희

(54) 다중레벨반도체장치및그에대한데이터기입/판독방법

명세서

도면의 간단한 설명

- 도 1은 본 발명에 따른 바람직한 실시예의 EEPROM의 주요 구성을 도시하는 블록도,
도 2는 본 발명에 따른 바람직한 실시예의 EEPROM의 부동-게이트 유형의 메모리 셀을 도시하는 개략적인 횡단면도,
도 3은 본 발명에 따른 데이터 기입 방법의 실시예 1을 설명하기 위한 도면,
도 4는 본 발명에 따른 데이터 기입 방법의 실시예 2를 설명하기 위한 도면,
도 5a 및 5b는 본 발명에 따른 데이터 기입 방법의 실시예 2의 변형예를 설명하기 위한 도면,
도 6은 본 발명에 따른 데이터 기입 방법의 실시예 3을 설명하기 위한 도면,
도 7a 및 7b는 본 발명에 따른 데이터 기입 방법의 실시예 3의 변형예를 설명하기 위한 도면,
도 8은 본 발명에 따른 데이터 판독 방법의 실시예 1을 도시하는 흐름도,
도 9는 도 8에 도시된 흐름도에서 임계 전압을 판정하는 방법을 설명하기 위한 블록도,
도 10은 본 발명에 따른 데이터 판독 방법의 실시예 2를 도시하는 흐름도,
도 11은 임계 전압을 판정하는 다른 방법을 설명하기 위한 블록도.

도면의 주요 부분에 대한 부호의 설명

- | | |
|------------------|------------|
| 1 : 메모리 셀 어레이 | 2 : 디코더 |
| 3 : 전압 발생기 및 제어기 | 4 : 멀티플렉서 |
| 5 : 센스 증폭기 | 6 : 신호 제어기 |
| 6a : 비트 데이터 분리기 | 7 : 입력 I/F |
| 8 : 입/출력 I/F | 9 : 변환기 |
| 30 : 기록/재생 장치 | 31 : 저장 매체 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다중레벨 반도체 메모리 장치와 그에 대한 데이터 기입/판독 방법 및 데이터 기입/판독 프로그램을 저장하는 저장 매체에 관한 것이다.

반도체 메모리 장치에 저장된 코드의 에러 수정 함수로서 해밍 코드를 사용하는 방법이 사용되어 왔다. 해밍

코드를 사용하는 반도체 메모리 장치에서, 예를 들어, 4비트 데이터(m1, m2, m3, m4)가 저장되도록 요구된 경우, 코더에 의해 3개의 체크 비트(p1, p2, p3)가 획득되어, 4개의 데이터 비트와 3개의 체크 비트로 이루어진 총 7비트가 저장된다.

반도체 메모리 장치에 저장된 해밍 코드가 판독될 경우, 에러-수정된 데이터(m1, m2, m3, m4)를 획득하기 위해 판독 데이터(y1, y2, y3, y4, y5, y6, y7)가 디코더에 제공된다. 이와 같은 반도체 메모리 장치에 있어서는 판독 데이터(y1, y2, y3, y4, y5, y6, y7)중 한 비트의 에러를 수정할 수 있다. 이에 관한 보다 상세한 사항은, 예를 들어, 1994년 6월 10일 전자 정보 통신 연구소(버전 5)에 의해 출판된 히데키 이마이(Hideki IMAI)에 의한 [코딩 이론]에 개시되어 있다.

그러나 최근에 일본 공개 특허 제 6(1994)-195687 호에 의해 개시된 바와 같이 단일 메모리 셀에 3개 이상의 데이터 레벨을 제각기 저장할 수 있는 다중레벨 반도체 메모리 장치가 개발되었다. 이 다중레벨 반도체 메모리 장치에서는 다수의 임계 전압이 세트된다. 예를 들어, 4-레벨 비휘발성 반도체 메모리에 있어서는 각각의 메모리 셀에 제각기 4개의 임계 전압(0V, 2V, 4V, 6V)이 세트되며, 따라서, 2비트의 데이터가 단일의 메모리 셀에 저장될 수 있다. 즉, 메모리 셀의 임계 전압이 4개의 저장 내용(00, 01, 10, 11)의 각각에 대응하여 0V, 2V, 4V, 6V중 어느 하나로 세트된다.

여기서, 다중레벨 반도체 메모리 장치에 대해 해밍 코드에 기초한 에러 수정 함수가 제공된 경우, 코딩에 의해 획득된 코드 트레인의 비트들은 차례로 저장되며 2개의 인접 비트가 동일한 메모리 셀에 저장된다.

예를 들면, 데이터 비트(m11, m21, m31, m41) 및 (m12, m22, m32, m42)에 기초하여 체크 비트(p11, p21, p31) 및 (p12, p22, p32)가 획득되고 또한 이들 비트가 다중레벨 메모리 셀에 저장된 경우에 대해 이후에 설명된다. 즉, 이들 데이터 비트들과 이들 체크 비트들로 구성된 해밍 코드가 다중레벨 메모리 셀에 저장될 경우, 이들 비트는 (m11, m21), (m31, m41), (p11, p21), (p31, m12), (m22, m32), (m42, p12) 및 (p22, p32)의 순서로 저장된다.

이 때, 다중레벨 반도체 메모리 장치에서 에러가 발생하게 되는 경로가 다중레벨 비휘발성 메모리의 경우를 예로 들어 이하에 설명된다. 이 경우, 임계 전압의 변화로 인해 에러가 발생하므로, 2비트 데이터에 동시에 에러가 발생할 가능성, 즉, 예를 들면, "10"이 "01"로 변화될 가능성은 매우 높다.

환언하면, 다중레벨 반도체 메모리 장치에서 발생한 에러는 에러가 단일의 다중레벨 메모리 셀의 간격에 집중적으로 발생하는 것을 특징으로 한다. 이를 버스트 에러라고 한다. 이러한 버스트 에러가 발생하면, 단일의 다중레벨 메모리 셀의 저장 위치(storage status)가 변화하며, 따라서, 2비트 에러가 발생한다. 이 경우, 2개 이상의 에러가 단일의 해밍 코드에 발생하므로, 코드가 올바르게 디코딩될 수 없다는 문제가 발생한다.

다른 방법으로서, 해밍 코드를 사용하는 것 이외에, 일본 특허 공개 제 60(1985)-163300 호는 다중 코드를 사용하는 다중레벨 반도체 메모리 장치에 대한 에러 수정 방법을 개시한다. 그러나 이 방법에서는 다중레벨 반도체 메모리 장치의 경우에 버스트 에러가 발생할 가능성이 높다는 사실이 고려되지 않았다. 따라서, 에러 수정 효율이 낮다는 문제점이 있다.

또한, 다중레벨 메모리 셀에는 단일의 메모리 셀에 대해 요구되는 판독 동작의 횟수가 증가한다는 다른 문제점이 있다. 여기서 데이터 판독 방법이 4-레벨 반도체 메모리 장치에 요구되는 판독 동작의 경우를 예로 들어 이하에 설명된다. 반도체 메모리 장치에서, 외부의 판독 인스트럭션 수신시 메모리 장치는 입력 어드레스를 기다린다. 이 경우, 입력 어드레스는 실제의 메모리 셀에 대응하는 물리 어드레스가 아니라 논리 어드레스이다. 따라서, 물리 어드레스는 입력된 논리 어드레스에 기초하여 계산된다.

계속해서, 이 계산된 물리 어드레스에 기초하여, 지정된 메모리 셀의 임계 전압이 0V, 2V, 4V, 6V중 어느 것으로 세트되었는지가 체크된다. 그리고 나서, 체크된 임계 전압은 2비트 데이터로 변환된다. 실제로는, 메모리 셀에 기준 전압(예를 들면, 1V, 3V, 5V)이 인가된다. 이 경우, 1V의 기준 전압이 인가되었을 때, 메모리 셀의 소스와 드레인을 통해 전류가 흐르면, 메모리 셀의 임계 전압은 0V인 것으로 판정되며, 따라서, "00" 데이터가 판독될 수 있다. 다른 한편, 1V에서 전류가 흐르지 않고, 3V에서 전류가 흐르면, 메모리 셀의 임계 전압은 2V인 것으로 판정되어, "01"의 데이터가 판독될 수 있다. 또한, 1V와 3V에서 전류가 흐르지 않고 5V에서 전류가 흐르면, 메모리 셀의 임계 전압은 4V인 것으로 판정되어, "10"의 데이터가 판독될 수 있다. 또한, 메모리 셀에 인가된 모든 전압들에서 전류가 흐르지 않으면, 메모리 셀의 임계 전압은 6V인 것으로 판정되어 "11"의 데이터가 판독된다. 이러한 예에서는, 4개의 레벨이 단일의 메모리 셀에 세트되었지만, 즉, 2비트 데이터가 저장되었지만, 다중레벨 데이터(3비트 이상)를 기입 및 판독하는 방법이 연구되어 왔다.

그러나 다중레벨 메모리 셀의 경우에 있어서는 단일의 메모리 셀에 대해 요구되는 판독 동작의 횟수가 증가한다는 문제점이 있다.

예를 들어, 4레벨 반도체 메모리 장치에서 앞서 설명된 바와 같이 4개 레벨이 단일 메모리 셀에 저장된 경우, 입력 어드레스에 관계없이, 각각의 판독 동작시에 메모리 셀의 임계 전압이 4레벨중 어느 레벨에 속하는지를 알기 위해 항상 3회의 판독 및 체크 동작이 실행되어야 한다. 실제로, 판독 및 체크 동작은 메모리 셀에 1V, 3V 및 5V를 단계적으로 인가함으로써 실행되지만, 이것은 3회의 판독 및 체크 동작이 필요한 것과 동일하다.

이러한 문제점을 극복하기 위해, 본 발명자들은 이미 일본 특허 공개 제 7(1995)-201189 호에서 메모리 셀의 판독 동작 속도를 증가시키는 방법을 제안하였다. 이 방법을 4레벨 반도체 장치에 대응시켜 설명하면, 우선 메모리 셀에 3V가 인가되며, 이 때 전류가 흐르는지의 여부에 따라 2비트 데이터중 상위 비트가 판정된다. 이 경우, 전류가 흐르면, 상위 비트는 "0"으로서 판정되며, 전류가 흐르지 않으면, "1"로서 판정된다. 계속해서, 상위 비트가 "0"으로서 판정되면, 메모리 셀에 1V가 또 인가된다. 전류가 흐르면, 이 메모리 셀의 2비트 데이터는 "00"으로서 판정되고, 전류가 흐르지 않으면, 데이터는 "01"로서 판정되어 출력된다. 다른 한편, 상위 비트가 "1"로서 판정된 경우는 이 메모리 셀에 5V가 또 인가된다. 전류가 흐르면, 이 메모리 셀의 2비트 데이터는 "10"으로서 판정되고, 전류가 흐르지 않으면, 데이터는 "11"로서 판정되어 출력된다. 이상 설명된 바와 같이, 제안된 이러한 데이터 판독 방법에서는, 2회의 판독 동작에 의해 단일 메모리 셀에 저장된 2비트 데이터

를 지정할 수 있다.

그러나 이러한 데이터 판독 방법에서는 논리 어드레스에 관계없이, 즉, 논리 어드레스가 메모리 셀의 상위 비트를 지정할 때조차도 메모리 셀의 임계 전압이 4개의 레벨중 어느 레벨에 속하는지를 항상 지정해야 할 필요가 있다.

앞서 설명된 바와 같이, 다중레벨 반도체 메모리 장치에서는 데이터가, 입력 논리 어드레스에 관계없이 메모리 셀에 저장된 데이터가 판독 동작시에 완전히 지정된 후에야 출력된다. 이것은 필요 이상으로 시간이 길어지게 하여, 데이터 판독 속도가 불가피하게 제한되는 결과를 초래한다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상술한 문제점을 감안하여 이루어진 것으로, 단일의 메모리 셀에 저장된 다중레벨 데이터가 손실된 경우에도 여러 수정을 효율적으로 실행할 수 있는, 다중레벨 반도체 장치 및 그에 대한 기입/판독 방법과 이러한 기입/판독 프로그램을 저장한 저장 매체를 제공하는 것이다.

또한, 본 발명의 다른 목적은 입력 논리 어드레스에 기초하여 고속으로 높은 액세스 빈도의 데이터를 판독함으로써 판독 동작시에 요구되는 액세스 시간을 더욱 감소시킨, 다중레벨 반도체 메모리 장치와 그에 대한 기입/판독 방법 및 이러한 기입/판독 프로그램을 저장한 저장 매체를 제공하는 것이다.

발명의 구성 및 작용

본 발명은 제각기 적어도 3레벨의 데이터 각각을 저장하는 다수의 다중레벨 메모리 셀과; 적어도, 다수의 제 1 데이터 비트들로 이루어지고 코딩 방법에 의해 코딩된 제 1 데이터와, 다수의 제 2 데이터 비트들로 이루어지고 코딩 방법에 의해 코딩된 제 2 데이터를 받아들여, 이들 제 1 및 제 2 데이터 비트들을, 적어도 제 1 데이터 비트들중 $N(N$ 은 정수)순위 비트와 제 2 데이터 비트들중 N 순위 비트가 다수의 메모리 셀들중 하나에 저장되도록 조정하는 조정 수단과; 적어도 상기 N 순위 비트들에 대응하는 전압을 발생하는 발생 수단과; 이 전압을, 다수의 셀들중 하나에 대응하는 어드레스 정보에 응답하여 상기 하나의 셀에 인가하는 인가 수단을 포함하는 반도체 장치를 제공한다.

또한, 본 발명은, 제각기 적어도 3레벨의 데이터 각각을 저장하는 다수의 다중레벨 메모리 셀들을 갖는 반도체 장치에 데이터 비트들을 기입하는 방법으로서, 적어도, 다수의 제 1 데이터 비트들로 이루어지고 코딩 방법에 의해 코딩된 제 1 데이터와, 제 2 데이터 비트들로 이루어지고 코딩 방법에 의해 코딩된 제 2 데이터를 입력하는 단계와; 적어도, 제 1 데이터 비트들중 $N(N$ 은 정수)순위 비트와 제 2 데이터 비트들중 N 순위 비트가 다수의 셀들중 하나에 저장되도록 이들 제 1 및 제 2 데이터 비트들을 조정하는 단계와; 적어도 상기 N 순위 비트들에 대응하는 전압을 발생하는 단계와; 이 전압을, 다수의 메모리 셀들중 하나에 대응하는 어드레스 정보에 응답하여 상기 하나의 셀에 인가하는 단계를 포함하는 데이터 비트들을 기입하는 방법을 제공한다.

또한, 본 발명은, 컴퓨터로 하여금, 제각기 적어도 3레벨의 데이터 각각을 저장하는 다수의 다중레벨 메모리 셀들을 갖는 반도체 장치에 데이터 비트들을 기입하게 하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체로서, 적어도, 다수의 제 1 데이터 비트들로 이루어지고 코딩 방법에 의해 코딩된 제 1 데이터와, 다수의 제 2 데이터 비트들로 이루어지고 코딩 방법에 의해 코딩된 제 2 데이터를 입력하는 제 1 프로그램 코드 수단과; 적어도, 제 1 데이터 비트들중 $N(N$ 은 정수)순위 비트와 제 2 데이터 비트들중 N 순위 비트가 다수의 메모리 셀들중 하나에 저장되도록 이들 제 1 및 제 2 데이터 비트들을 조정하는 제 2 프로그램 코드 수단을 포함하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체를 제공한다.

또한, 본 발명은 논리 어드레스를 물리 어드레스로 변환하는 변환 수단과; $n(n \geq 2)$ 개의 비트들(X_1, X_2, \dots, X_n)로 표현되는 2^n 개 레벨의 데이터 각각을 제각기 저장하고, 물리 어드레스를 포함하는 물리 어드레스 공간에 대응하도록 배열된 다수의 다중레벨 메모리 셀과; 논리 어드레스를 포함하는 논리 어드레스 공간이 물리 어드레스 공간에 일치하는지의 여부를 판정하는 판정 수단과; 논리 어드레스 공간이 물리 어드레스 공간과 일치할 때, 1회의 지정 동작에 의해 최대 유효 비트 X_1 을 기준 값으로 지정하는 지정 수단과; 이 지정된 비트를 물리 어드레스에 대응하는 다수의 메모리 셀들중 하나로부터 출력하는 출력 수단을 포함하는 반도체 장치를 제공한다.

또한, 본 발명은 비트들(X_1, X_2, \dots, X_n)로 표현되는 2^n 개 레벨의 데이터 각각을 제각기 저장하는, 물리 어드레스 공간에 대응하도록 배열된 다수의 다중레벨 메모리 셀들로부터 $n(n \geq 2)$ 개의 비트들(X_1, X_2, \dots, X_n)을 판독하는 방법으로서, 논리 어드레스를 물리 어드레스 공간에 포함된 물리 어드레스로 변환하는 단계와; 논리 어드레스를 포함하는 논리 어드레스 공간이 물리 어드레스 공간과 일치하는지의 여부를 판정하는 단계와; 논리 어드레스 공간이 물리 어드레스 공간과 일치하는 것으로 판정된 때에 1회의 지정 동작에 의해 최대 유효 비트 X_1 을 기준 값으로 지정하는 단계와; 이 지정된 비트를 물리 어드레스에 대응하는 다수의 메모리 셀들중 하나로부터 출력하는 단계를 포함하는 판독 방법을 제공한다.

또한, 본 발명은, 적어도 하나의 트랜지스터를 갖고, 비트들(X_1, X_2, \dots, X_n)로 표현된 2^n 개 레벨의 데이터 각각을 제각기 저장하며, 물리 어드레스 공간에 대응하도록 배열된 다수의 다중레벨 메모리 셀들로부터 $n(n \geq 2)$ 개의 비트들(X_1, X_2, \dots, X_n)을 판독하는 방법으로서, 논리 어드레스를 물리 어드레스 공간에 포함된 물리 어드레스로 변환하는 단계와; 논리 어드레스를 포함하는 논리 어드레스 공간이 물리 어드레스 공간과 일치하는지의 여부를 판정하는 단계와; 논리 어드레스 공간이 물리 어드레스 공간과 일치할 때 트랜지스터의 소스와 드레인간에 전류가 흐르는지의 여부를 판정하기 위해 트랜지스터의 게이트에 사전결정된 기준 전압을 인가함으로써 최대 유효 비트 X_1 을 지정하는 단계와; 이 지정된 비트를 물리 어드레스에 대응하는 다수의 메모리 셀들중 하나로부터 출력하는 단계를 포함하는 판독 방법을 제공한다.

또한, 본 발명은, 적어도 하나의 트랜지스터를 갖고, 비트들(X_1, X_2, \dots, X_n)로 표현된 2^n 개 레벨의 데이터 각

각을 제각기 저장하며, 물리 어드레스 공간에 대응하도록 배열된 다수의 다중레벨 메모리 셀들로부터 $n(n \geq 2)$ 개의 비트들(X_1, X_2, \dots, X_n)을 판독하는 방법으로서, 논리 어드레스를 물리 어드레스 공간에 포함된 물리 어드레스로 변환하는 단계와; 논리 어드레스를 포함하는 논리 어드레스 공간이 물리 어드레스 공간과 일치하는지의 여부를 판정하는 단계와; 논리 어드레스 공간이 물리 어드레스 공간과 일치할 때에 최대 유효 비트에 대응하는 트랜지스터의 출력 전압을 기준 전압과 비교함으로써 최대 유효 비트 X_1 를 지정하는 단계와; 이 지정된 비트를 물리 어드레스에 대응하는 다수의 메모리 셀들중 하나로부터 출력하는 단계를 포함하는 판독 방법을 제공한다.

또한, 본 발명은, 컴퓨터로 하여금, 비트들(X_1, X_2, \dots, X_n)로 표현된 2^n 개 레벨의 데이터 각각을 제각기 저장하고, 물리 어드레스 공간에 대응하도록 배열된 다수의 다중레벨 메모리 셀들로부터 $n(n \geq 2)$ 개의 비트들(X_1, X_2, \dots, X_n)을 판독하도록 하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체로서, 논리 어드레스를 물리 어드레스 공간에 포함된 물리 어드레스로 변환하는 제 1 프로그램 코드 수단과; 논리 어드레스를 포함하는 논리 어드레스 공간이 물리 어드레스 공간과 일치하는지의 여부를 판정하기 위한 제 2 프로그램 코드 수단과; 논리 어드레스 공간이 물리 어드레스 공간과 일치하는 것으로 판정된 때에 1회의 지정 동작으로 최대 유효 비트 X_1 를 기준값으로 지정하는 제 3 프로그램 코드 수단과; 이 지정된 비트를 물리 어드레스에 대응하는 다수의 메모리 셀들중 하나로부터 출력하는 제 4 프로그램 코드 수단을 포함하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체를 제공한다.

또한, 본 발명은, 컴퓨터로 하여금, 적어도 하나의 트랜지스터를 갖고, 비트들(X_1, X_2, \dots, X_n)로 표현되는 2^n 개 레벨의 데이터 각각을 제각기 저장하며, 물리 어드레스 공간에 대응하도록 배열된 다수의 다중레벨 메모리 셀들로부터 $n(n \geq 2)$ 개의 비트들(X_1, X_2, \dots, X_n)을 판독하도록 하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체로서, 논리 어드레스를 물리 어드레스 공간에 포함된 물리 어드레스로 변환하기 위한 제 1 프로그램 코드 수단과; 논리 어드레스를 포함하는 논리 어드레스 공간이 물리 어드레스 공간과 일치하는지의 여부를 판정하기 위한 제 2 프로그램 코드 수단과; 논리 어드레스 공간이 물리 어드레스 공간과 일치하는 때에 트랜지스터의 소스와 드레인간에 전류가 흐르는지를 판정하기 위해 트랜지스터의 게이트에 기준 전압을 인가함으로써 최대 유효 비트 X_1 를 지정하기 위한 제 3 프로그램 코드 수단과; 이 지정된 비트를 물리 어드레스에 대응하는 다수의 메모리 셀들중 하나로부터 출력하기 위한 제 4 프로그램 코드 수단을 포함하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체를 제공한다.

또한, 본 발명은, 컴퓨터로 하여금, 적어도 하나의 트랜지스터를 갖고, 비트들(X_1, X_2, \dots, X_n)로 표현되는 2^n 개 레벨의 데이터 각각을 제각기 저장하며, 물리 어드레스 공간에 대응하도록 배열된 다수의 다중레벨 메모리 셀들로부터 $n(n \geq 2)$ 개의 비트들(X_1, X_2, \dots, X_n)을 판독하도록 하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체로서, 논리 어드레스를 물리 어드레스 공간에 포함된 물리 어드레스로 변환하는 제 1 프로그램 코드 수단과; 논리 어드레스를 포함하는 논리 어드레스 공간이 물리 어드레스 공간과 일치하는지의 여부를 판정하기 위한 제 2 프로그램 코드 수단과; 논리 어드레스 공간이 물리 어드레스 공간과 일치하는 때에 최대 유효비트에 대응하는 트랜지스터의 출력 전압을 기준 전압과 비교함으로써 최대 유효 비트 X_1 를 지정하는 제 3 프로그램 코드 수단과; 이 지정된 비트를 물리 어드레스에 대응하는 다수의 메모리 셀들중 하나로부터 출력하는 제 4 프로그램 코드 수단을 포함하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체를 제공한다.

또한, 본 발명은 적어도 3레벨의 데이터 각각중 하나를 제각기 저장하는 다수의 다중레벨 메모리 셀들을 갖는 반도체 장치로서, 이들 셀에 저장되도록 코딩 방법에 의해 코딩된 적어도 하나의 코드 데이터를 구성하는 비트들을 저장하기 위해 다수의 다중레벨 메모리 셀들에 대해 이들 비트들을 분산배치하기 위한 비트 분리기(bit disperser)를 포함하는 반도체 장치를 제공한다.

또한, 본 발명은, 컴퓨터로 하여금, 적어도 3개 레벨의 데이터 각각중 하나를 제각기 저장하는 다수의 다중레벨 메모리 셀들을 갖는 반도체 장치에 데이터를 저장하도록 하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체로서, 셀들에 저장되도록 코딩 방법에 의해 코딩된 적어도 하나의 코드 데이터를 구성하는 비트들을 저장하기 위해 다수의 다중레벨 메모리 셀들에 대해 이들 비트를 분산배치하기 위한 프로그램 코드 수단을 포함하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체를 제공한다.

또한, 본 발명은 적어도 3개 레벨의 데이터 각각중 하나를 제각기 저장하는 다수의 다중레벨 메모리 셀들을 갖는 반도체 장치에 코딩 방법에 의해 코딩된 적어도 하나의 코드 데이터를 기입하는 방법으로서, 다수의 다중레벨 메모리 셀들에 대해, 코드 데이터를 구성하는 비트들을 분산 배치하는 단계를 포함하는 기입 방법을 제공한다.

또한, 본 발명은, 컴퓨터로 하여금, 적어도 3개 레벨의 데이터 각각중 하나를 제각기 저장하는 다수의 다중레벨 메모리 셀들을 갖는 반도체 장치에 코딩 방법에 의해 코딩된 적어도 하나의 코드 데이터를 기입하도록 하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체로서, 다수의 다중레벨 메모리 셀들에 대해, 코드 데이터를 구성하는 비트들을 분산배치하기 위한 프로그램 코드를 포함하는 컴퓨터에 의해 판독가능한 매체를 제공한다.

또한, 본 발명은, 논리 어드레스를 입력하는 입력 수단과; 이 논리 어드레스를 물리 어드레스로 변환하는 변환 수단과; 2차원 이상의 데이터 성분들로 표현된, 적어도 3개 레벨의 데이터 각각을 제각기 저장하며, 물리 어드레스에 대응하도록 배열된 다수의 다중레벨 메모리 셀들과; 다수의 메모리 셀들중 물리 어드레스에 대응하는 하나의 셀을 선택하여 논리 어드레스에 따라 상기 데이터 성분들중 하나를 지정하는 제어 수단과; 이 지정된 데이터 성분을 출력하기 위한 출력 수단을 포함하되, 상기 데이터 성분들중 적어도 하나를 1회의 지정 동작에 의해 지정하기 위한 판정 값을 가지고, 논리 어드레스가 물리 어드레스를 포함하는 어드레스 공간에 대응하는 어드레스 공간 A1에 포함된 경우에 제어 수단에 의해 상기 지정된 데이터 성분을 상기 판정 값으로 지정하며, 이 지정된 데이터는 출력 수단에 의해 출력되는 반도체 장치를 제공한다.

또한, 본 발명은 제어 게이트, 소스 및 드레인을 갖고, 2차원 이상의 데이터 성분들로 표현된 적어도 3개 레벨

의 데이터 각각을 저장하며, 입력 논리 어드레스로부터 변환된 물리 어드레스에 대응하도록 제공된 적어도 하나의 다중레벨 메모리 셀을 갖는 반도체 장치에 저장된 데이터를 판독하는 방법으로서, 데이터 성분들중 적어도 하나를 지정하기 위한 판정 값을 마련하는 단계와; 논리 어드레스가 물리 어드레스를 포함하는 어드레스 공간에 대응하는 어드레스 공간 A1에 포함된 경우에 소스와 드레인간에 전류가 흐르는지의 여부를 판정하기 위해 상기 제어 게이트에 상기 판정값에 대응하는 전압을 인가하는 단계를 포함하는 데이터 판독 방법을 제공한다.

또한, 본 발명은, 컴퓨터로 하여금, 제어 게이트, 소스 및 드레인을 갖고, 2차원 이상의 데이터 성분들로 표현된 적어도 3개 레벨의 데이터 각각을 저장하며, 입력 논리 어드레스로부터 변환된 물리 어드레스에 대응하도록 제공된 적어도 하나의 다중레벨 메모리 셀을 갖는 반도체 장치에 저장된 데이터를 판독하도록 하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체로서, 데이터 성분들중 적어도 하나를 지정하기 위한 판정 값을 마련하기 위한 제 1 프로그램 코드 수단과; 논리 어드레스가 물리 어드레스를 포함하는 어드레스 공간에 대응하는 어드레스 공간 A1에 포함된 경우에 소스와 드레인간에 전류가 흐르는지의 여부를 판정하기 위해 상기 제어 게이트에 상기 판정 값에 대응하는 전압을 인가하기 위한 제 2 프로그램 코드 수단을 포함하는 프로그램 코드를 저장하는 컴퓨터에 의해 판독가능한 매체를 제공한다.

또한, 본 발명은 적어도 3개의 상이한 레벨의 데이터 각각중 하나를 제각기 저장하는 다수의 다중레벨 메모리 셀들과; 코딩 방법에 의해 제 1 데이터를 적어도 2디지트의 코드 성분들로 구성된 제 1 코드로 변환하기 위한 제 1 코딩 수단과; 코딩 방법에 의해 제 2 데이터를 적어도 2디지트의 코드 성분들로 구성된 제 2 코드로 변환하기 위한 제 2 코딩 수단과; 동일 디지트의 제 1 코드의 코드 성분과 제 2 코드의 코드 성분들을 제각기 갖는 적어도 2 쌍의 코드 성분들을 대응하는 셀들에 저장하도록 상기 코드 성분들을 배열하기 위한 정렬 수단을 포함하는 반도체 장치를 제공한다.

또한, 본 발명은 적어도 3개의 상이한 레벨의 데이터 각각중 하나를 제각기 저장하는 다수의 다중레벨 메모리 셀들과; 입력 데이터를 코딩 방법에 의해 적어도 2디지트의 코드로 변환하기 위한 코딩 수단과; 이 코드를 지정된 수의 디지트에 의해 적어도 제 1 및 제 2 블록의 코드 성분들로 분리하여, 동일한 디지트의 제 1 블록의 코드 성분과 제 2 블록의 코드 성분을 갖는 적어도 하나의 코드 성분 그룹을 다수의 메모리 셀들중 적어도 하나의 셀에 저장하기 위한 분리 수단을 포함하는 반도체 장치를 제공한다.

본 발명에 따르면, 단일의 다중레벨 메모리 셀에 저장된 다중레벨 데이터에 에러가 발생한 경우, 에러-수정가능 비트들의 최소 수의 데이터가 한 코드에서 손실되므로, 에러 수정을 효율적으로 실행할 수 있다.

또한, 본 발명에 따르면, 논리 어드레스들이 비교적 높은 액세스 속도의 어드레스 공간과 비교적 낮은 액세스 속도의 다른 어드레스 공간으로 계층적으로 분할된다. 그리고 물리 어드레스에 의해 형성된 어드레스 공간에 일대일 대응하는 부분적 공간(partial space)이 비교적 높은 액세스 속도의 어드레스 공간으로서 결정된다. 또한, 비교적 높은 액세스 속도의 어드레스 공간내의 데이터가 각 메모리 셀내의 특정 성분, 예를 들면, 상위 비트에 저장된다. 이러한 데이터는 하나의 판정 값을 사용함으로써 판정된다.

입력 논리 어드레스가 부분적 공간에 포함된 경우, 이 논리 어드레스는 상위 비트 데이터를 지정한다. 따라서, 판정값을 사용함으로써 단일의 판정 프로세스에 의해 상위 비트 데이터를 즉각 검출할 수 있다. 이와 같이 하여, 최고 액세스 빈도의 데이터와 비교적 낮은 액세스 빈도의 데이터를 각 셀내의 상위 및 하위 비트에 제각기 저장함으로써 초고효율로 다중레벨 메모리 셀들을 갖는 반도체 장치로부터 데이터를 판독할 수 있다.

이제부터 본 발명에 따른 다중레벨 반도체 메모리 장치, 이 메모리 장치에 대해 데이터를 기입/판독하는 방법 및 데이터 기입/판독 프로그램이 저장된 저장 매체에 대한 실시예들이 첨부된 도면을 참조하여 설명된다.

도 1은 본 발명에 따른 실시예가 적용되는 다중레벨 EEPROM(전기적으로 소거 및 프로그램가능한 판독 전용 메모리)의 기본적 구성을 도시한다. 도 1에서, 메모리 셀 어레이(1)는 매트릭스 패턴으로 다수의 메모리 셀들을 정렬함으로써 형성된다. 각각의 메모리 셀은 도 2에 도시된 바와 같이 부동 게이트 형태로 이루어진다. 도 2에서, n형 불순물 확산층으로 형성된 드레인(12) 및 소스(13) 각각은 p형 실리콘 기판(11)의 표면에 형성된다. 또한, 드레인(12)과 소스(13) 사이에 채널 영역(14)이 형성된다.

비트 라인(15)이 드레인(12)에 접속되며, 소스 라인(16)이 소스(13)에 접속된다. 또한, 채널 영역(14)상에 SiO₂로 형성되며 약 10nm 두께를 갖는 터널 절연막(20)이 형성된다. 이 터널 절연막(20)상에 저저항 폴리실리콘으로 형성된 부동 게이트(17), 층간 절연막(18) 및 저저항 폴리실리콘으로 형성된 제어 게이트(19)(워드 라인)가 차례로 형성된다.

워드 라인(19)은 메모리 셀 어레이(1)의 열방향으로 연장되면서 제공된 디코더(2)에 접속된다. 비트 라인(15)은 메모리 셀 어레이(1)의 행방향으로 연장되면서 제공된 멀티플렉서(4)에 접속된다. 그리고 소스 라인(16)은 접지된다.

데이터가 앞서 설명된 바와 같이 다중레벨 EEPROM에 기입될 때, 동작 모드는 프로그램 모드로 세트된다. 또한, 데이터가 입/출력 인터페이스(interface; I/F)(8)를 통해 입력되는 한편, 어드레스가 입력 인터페이스(I/F)(7)를 통해 입력된다. 각각의 입력 어드레스는 논리 어드레스이므로, 변환기(9)에 의해 물리 어드레스로 변환된다.

입력 I/F(8)를 통해 입력된 데이터는 신호 제어기(6)에 제공된다. 제공된 데이터의 비트 데이터는 이후 보다 상세히 설명되는 바와 같이 신호 제어기(6)내에 마련된 비트 데이터 분리기(6a)에 의해 재정렬된다.

재정렬된 비트를 갖는 입력 데이터는 비트 데이터에 따른 전압을 발생하도록 전압 발생기 및 제어기(3)에 제공된다. 이와 같이 발생한 전압은 디코더(2)를 통해 메모리 셀 어레이(1)에 인가되어, 사전결정된 임계 전압들이 메모리 셀들에 세트된다.

본 발명에 따른 데이터 기입 방법의 실시예 1이 이제부터 도 3을 참조하여 설명된다.

본 실시예에서 설명되는 다중레벨 EEPROM은 4레벨 메모리 장치로서, 각 메모리 셀의 임계 전압은 저장될 2비트 데이터(00, 01, 10, 11)의 각각에 대응하는 4개의 값들(0V, 2V, 4V, 6V)중 어느 것으로 세트된다. 이 EEPROM에서는 버스트 에러 수정 코드로서 코드 길이 n과 버스트 에러 수정 용량 L을 갖는 코드 C를 m회 인터리빙(interleaving)하는 방법이 사용된다.

데이터 재가입시에, 8비트 데이터가 입력될 때마다, 입력 데이터는 (m11, m21, m31, m41) 및 (m12, m22, m32, m42)로서 4X2 데이터 비트들로 나뉜다. 이들 나뉘어진 데이터 비트들에 기초하여 3X2 체크 비트들(p11, p21, p31) 및 (p12, p22, p32)가 형성된다.

또한, 이들 데이터 비트들(m11, m21, m31, m41) 및 (m12, m22, m32, m42)와 체크 비트들(p11, p21, p31) 및 (p12, p22, p32)에 기초하여 2개의 코드 워드들 (m11, m21, m31, m41, p11, p21, p31) 및 (m12, m22, m32, m42, p12, p22, p32)이 형성된다.

이와 같이 형성된 2개의 코드 워드들은 비트 데이터 분리기(6a)에 제공되며, 그리고 나서, 이 코드 워드들의 비트들은 도 3에 도시된 바와 같은 2X7 배열의 위치로 입력된다. 또한, (m11, m12), (m21, m22), (m31, m32), (m41, m42), (p11, p12), (p21, p22) 및 (p31, p32)의 조합이 7개의 메모리 셀들에 순차적으로 저장된다.

따라서, 도 3에서 m11 및 m12는 메모리 셀 1에 상위 및 하위 비트로서 제각기 저장된다. 동일한 방식으로, m21 및 m22와, m31 및 m32와, m41 및 m42와, p11 및 p12와, p21 및 p22와, p31 및 p32가 제각기 메모리 셀 2 내지 7에 저장된다.

이후 보다 상세히 설명되는 바와 같이, 각각의 코드 워드는 단일 에러가 발생한 경우에도 수정될 수 있다. 예를 들어, 도 3에 도시된 바와 같이, 세 번째 메모리 셀 3의 임계 전압이 변화하여 2비트 길이의 버스트 에러가 발생한 경우에도, 이 에러는 단일 코드 워드내의 단일 에러이므로, 수정이 가능하다. 즉, 7개의 메모리 셀들중 하나의 임계 전압이 변화한 경우, 즉, 예를 들어, 저장된 내용 "01"을 "10"로 변화시키는 버스트 에러가 발생한 경우에도 수정이 가능하다.

본 발명에 따른 데이터 가입 방법의 실시예 2가 이후 설명된다.

실시예 2에 따른 반도체 장치는 8레벨 메모리 장치로서, 각 메모리 셀의 임계 전압이 저장될 3비트 데이터(000, 001, 010, 011, 100, 101, 110, 111)에 대응하는 8개 레벨들(0V, 1V, 2V, 3V, 4V, 5V, 6V, 7V)중 어느 것으로 세트된다.

데이터 재가입시에, 12비트 데이터가 입력될 때마다, 입력 데이터는 4X3 데이터 비트들 (m11, m21, m31, m41), (m12, m22, m32, m42) 및 (m13, m23, m33, m43)로 나뉜다. 이들 나뉘어진 데이터 비트들에 기초하여, 3X3 잉여 체크 비트들(p11, p12, p13), (p12, p22, p32) 및 (p13, p23, p33)가 획득된다.

이들 데이터 비트들과 체크 비트들에 기초하여, 3개의 코드 워드들 (m11, m21, m31, m41, p11, p21, p31), (m12, m22, m32, m42, p12, p22, p32) 및 (m13, m23, m33, m43, p13, p23, p33)가 3X7 배열로 형성된다. 또한, 도 4에 도시된 바와 같이, (m11, m12, m13), (m21, m22, m23), (m31, m32, m33), (m41, m42, m43), (p11, p12, p13), (p21, p22, p23) 및 (p31, p32, p33)가 7개의 메모리 셀들에 저장된다.

따라서, 도 4에서 m11, m12 및 m13는 메모리 셀 1에 제각기 상위, 중위 및 하위 비트로서 저장된다. 동일한 방식으로, m21, m22 및 m23와, m31, m32 및 m33와, m41, m42 및 m43와, p11, p12 및 p13와, p21, p22 및 p23와, p31, p32 및 p33가 제각기 메모리 셀들 2 내지 7에 저장된다.

각각의 코드 워드는 단일 에러가 발생한 경우에도 수정될 수 있다. 예를 들어, 도 4에 도시된 바와 같이 세 번째 메모리 셀 3의 임계 전압이 변화하여 3비트 길이의 버스트 에러가 발생한 경우에도, 이 에러는 단일 코드 워드내의 단일 에러이므로, 수정이 가능하다. 즉, 7개 메모리 셀들중 하나의 임계 전압이 변화, 즉, 예를 들어, 저장된 내용 "000"을 "011"로 변화시키는 버스트 에러가 발생한 경우에도 수정이 가능하다.

본 발명에 따른 데이터 가입 방법의 실시예 2에 대한 2가지 변형예가 이후 설명된다.

제 1 변형예에 따른 반도체 장치는 8레벨 메모리 장치로서, 각 메모리 셀의 임계 전압이 3비트 데이터(000, 001, 010, 011, 100, 101, 110, 111)에 대응하는 8개 레벨들(0V, 1V, 2V, 3V, 4V, 5V, 6V, 7V)중 어느 것으로 세트된다. 제 1 변형예에는 하나의 코드 워드 비트당 2개의 에러가 수정될 수 있는 특성의 선형 코딩 표준을 따른다.

데이터 재가입시에, 특정 수의 비트, 예를 들면, K 비트들로 구성된 데이터가 입력될 때마다, 입력 데이터는 3개(K/3)의 데이터 비트들로 나뉜다. 이들 나뉘어진 데이터 비트들에 기초하여 14비트의 코드 워드(m11, m21, m31, m41, m51, m61, m71, m12, m22, m32, m42, m52, m62, m72) 및 7비트 코드 워드(m13, m23, m33, m43, m53, m63, m73)를 형성하도록 잉여 비트들이 획득된다. 각각의 코드 워드에서, 특정 수의 비트들은 데이터 비트들이고 나머지 비트들은 에러 수정을 위한 잉여 비트들이다.

그리고 나서, 14비트 코드 워드(m11, m21, m31, m41, m51, m61, m71, m12, m22, m32, m42, m52, m62, m72)는 7비트 코드 트레인들(m11, m21, m31, m41, m51, m61, m71) 및 (m12, m22, m32, m42, m52, m62, m72)로 나뉘어진다.

다음으로, 이 코드 트레인 a(m11, m21, m31, m41, m51, m61, m71), 코드 트레인 b(m12, m22, m32, m42, m52, m62, m72) 및 코드 트레인 c(m13, m23, m33, m43, m53, m63, m73)가 3X7 배열의 위치로 입력된다. 또한, 도 5a에 도시된 바와 같이, (m11, m12, m13), (m21, m22, m23), (m31, m32, m33), (m41, m42, m43), (m51, m52, m53), (m61, m62, m63) 및 (m71, m72, m73)가 7개의 메모리 셀들에 저장된다.

따라서, 도 5a에서 m11, m12 및 m13는 메모리 셀 1에 제각기 상위, 중위 및 하위 비트로서 저장된다. 동일한 방식으로, m21, m22 및 m23와, m31, m32 및 m33와, m41, m42 및 m43와, m51, m52 및 m53와, m61,

m62 및 m63와, m71, m72 및 m73가 제각기 메모리 셀들 2 내지 7에 저장된다.

이들 코드 트레인 a 및 b와, 코드 트레인 c는 단일 에러가 발생한 경우에도 수정될 수 있다. 예를 들어, 도 5a에 도시된 바와 같이, 세 번째 메모리 셀 3에 3비트 길이의 버스트 에러가 발생한 경우에도, 이 에러는 코드 트레인 a 및 b와 코드 트레인 c내의 단일 에러이고 이러한 에러는 코드 트레인 a 및 b로 구성된 코드 워드내의 2개 에러에 대응하므로, 수정이 가능하다. 즉, 7개 메모리 셀들중 하나의 임계 전압이 변화한 경우에도, 즉, 예를 들어, 저장된 내용 "100"을 "011"로 변화시키는 버스트 에러가 발생한 경우에도 수정이 가능하다.

다음으로, 본 발명에 따른 데이터 기입 방법의 실시예 2의 제 2 변형예가 이하에 설명된다.

제 2 변형예에 따른 반도체 장치는 8레벨 메모리 장치로서, 각 메모리 셀의 임계 전압은 저장될 3비트 데이터(000, 001, 010, 011, 100, 101, 110, 111)에 대응하는 8개 레벨들(0V, 1V, 2V, 3V, 4V, 5V, 6V, 7V)중 어느 것으로 세트된다. 제 2 변형예는 코드 워드 비트당 단일 에러가 수정될 수 있고 코드 워드 비트당 2개 에러가 검출될 수 있는 특징의 코딩 표준을 따른다.

데이터 재기입시에, 12비트 데이터가 입력될 때마다, 이 입력데이터는 4X3 데이터 비트들(m11, m21, m31, m41), (m12, m22, m32, m42) 및 (m13, m23, m33, m43)로 나뉘어진다. 이들 나뉘어진 데이터 비트들에 기초하여 해밍 코드에 의해 3X3 잉여 비트들(p11, p21, p31), (p12, p22, p32) 및 (p13, p23, p33)가 획득된다.

그리고 나서, 모든 7개 비트들은 3개의 코드 트레인들(m11, m21, m31, m41, p11, p21, p31), (m12, m22, m32, m42, p12, p22, p32) 및 (m13, m23, m33, m43, p13, p23, p33)의 각각에서 EX-OR된다. 이와 같이 해서 얻어진 잉여 비트들 q1, q2, q3은 이들 3개의 코드 트레인들에 제각기 부가되어 3개의 코드 워드들(m11, m21, m31, m41, p11, p21, p31, q1), (m12, m22, m32, m42, p12, p22, p32, q2) 및 (m13, m23, m33, m43, p13, p23, p33, q3)이 형성된다.

그리고 나서, 이들 3개 코드 워드들은 3X8 배열의 위치로 입력된다. 또한, 도 5b에 도시된 바와 같이, (m11, m12, m13), (m21, m22, m23), (m31, m32, m33), (m41, m42, m43), (p11, p12, p13), (p21, p22, p23), (p31, p32, p33) 및 (q1, q2, q3)가 8개의 메모리 셀들에 저장된다.

따라서, 도 5b에서, m11, m12 및 m13가 메모리 셀 1에 제각기 상위, 중위 및 하위 비트로서 저장된다. 동일한 방식으로, m21, m22 및 m23와, m31, m32 및 m33와, m41, m42 및 m43와, p11, p12 및 p13와, p21, p22 및 p23와, p31, p32 및 p33와 q1, q2 및 q3가 제각기 메모리 셀들 2 내지 8에 저장된다.

각각의 코드 워드는 단일 에러가 발생한 경우에도 수정될 수 있다. 예를 들어, 도 5b에 도시된 바와 같이, 세 번째 메모리 셀 3에 3비트 길이의 버스트 에러가 발생한 경우에도, 이러한 에러는 각 코드 워드내의 단일 에러이므로 수정이 가능하다. 즉, 8개의 메모리 셀들중 하나의 임계 전압이 변화한 경우에도, 즉, 예를 들면, 저장된 내용 "100"을 "011"로 변화시키는 버스트 에러가 발생한 경우에도, 수정이 가능하다. 또한, 1 내지 3비트 길이의 버스트 에러가 다른 메모리 셀에 발생한 경우에도 적어도 하나의 코드 워드내에 2개의 에러가 존재한다. 이들 2개 에러는 검출될 수 있으며 이들중 하나는 수정될 수 있다.

본 발명에 따른 데이터 기입 방법의 실시예 3이 이하에서 설명된다.

실시예 3에 따른 반도체 장치는 16레벨 메모리 장치로서, 각 메모리 셀의 임계 전압이 저장될 4비트 데이터(0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1101, 1110, 1111)에 대응하는 16개 레벨들(0V, 1V, 1.25V, 1.5V, 1.75V, 2V, 2.25V, 2.5V, 2.75V, 3V, 3.25V, 3.5V, 3.75V, 4V, 4.25V, 4.5V)중 어느 것으로 세트된다.

데이터 재기입시에, 16비트 데이터가 입력될 때마다, 이 입력 데이터는 4X4데이터 비트들(m11, m21, m31, m41), (m12, m22, m32, m42), (m13, m23, m33, m43) 및 (m14, m24, m34, m44)로 나뉘어진다. 이들 나뉘어진 데이터 비트에 기초하여, 3X4 잉여 비트들(p11, p21, p31), (p12, p22, p32), (p13, p23, p33) 및 (p14, p24, p34)이 획득된다.

이들 데이터 비트들 및 잉여 비트들에 기초하여, 4개의 코드 워드들(m11, m21, m31, m41, p11, p21, p31), (m12, m22, m32, m42, p12, p22, p32), (m13, m23, m33, m43, p13, p23, p33) 및 (m14, m24, m34, m44, p14, p24, p34)이 형성되어, 4X7 배열의 위치에 입력된다. 또한, 도 6에 도시된 바와 같이, (m11, m12, m13, m14), (m21, m22, m23, m24), (m31, m32, m33, m34), (m41, m42, m43, m44), (p11, p12, p13, p14), (p21, p22, p23, p24), (p31, p32, p33, p34)가 7개의 메모리 셀들에 저장된다.

따라서, 도 6에서, m11, m12, m13 및 m14는 메모리 셀 1에 제 1, 제 2, 제 3, 제 4 비트로서 제각기 저장된다. 동일한 방식으로, m21, m22, m23 및 m24와, m31, m32, m33 및 m34와, m41, m42, m43 및 m44와, p11, p12, p13 및 p14와, p21, p22, p23 및 p24와, p31, p32, p33 및 p34가 제각기 메모리 셀들 2 내지 7에 저장된다.

각각의 코드 워드는 단일 에러가 발생한 경우에도 수정될 수 있다. 예를 들어, 도 6에 도시된 바와 같이, 세 번째 메모리 셀 3에 4비트 길이의 버스트 에러가 발생한 경우에도, 이러한 에러는 단일의 코드 워드내의 단일 에러이므로, 수정이 가능하다. 즉, 7개 메모리 셀들중 하나의 임계 전압이 변화한 경우에도, 즉, 예를 들어, 저장된 내용 "1000"을 "0111"로 변화시키는 버스트 에러가 발생한 경우에도, 수정이 가능하다.

본 발명에 따른 데이터 기입 방법의 실시예 3의 2가지 변형예가 이하에서 설명된다.

제 1 변형예에 따른 반도체 장치는 16레벨 메모리 장치로서, 각 메모리 셀의 임계 전압이 저장될 4비트 데이터(0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1101, 1110, 1111)에 대응하는 16개의 레벨들(0V, 1V, 1.25V, 1.5V, 1.75V, 2V, 2.25V, 2.5V, 2.75V, 3V, 3.25V, 3.5V, 3.75V, 4V, 4.25V, 4.5V)중 어느 것으로 세트된다. 제 1 변형예는 코드 워드 비트당 2개의 에러가 수정될 수

있는 특정의 선형 코딩 표준을 따른다.

데이터 재가입시에, 특정 수의 비트, 예를 들면, p비트들로 구성된 데이터가 입력될 때마다, 이 입력 데이터는 4개(p/3)의 데이터 비트들로 나뉘어진다. 이들 나뉘어진 데이터 비트들에 기초하여 잉여 비트들이 2개의 14 비트 코드 워드들(m11, m21, m31, m41, m51, m61, m71, m12, m22, m32, m42, m52, m62, m72) 및 (m13, m23, m33, m43, m53, m63, m73, m14, m24, m34, m44, m54, m64, m74)을 형성하도록 획득된다. 각각의 코드 워드에서 특정 수의 비트들은 데이터 비트들이고 나머지 비트들은 에러 수정을 위한 잉여 비트들이다.

그리고 나서, 이들 14비트 코드 워드들은 7비트 코드 트레인들(m11, m21, m31, m41, m51, m61, m71), (m12, m22, m32, m42, m52, m62, m72), (m13, m23, m33, m43, m53, m63, m73) 및 (m14, m24, m34, m44, m54, m64, m74)로 제각기 나뉘어진다.

그리고 나서, 이들 코드 트레인은 4X7 배열의 위치에 입력된다. 또한, 도 7a에 도시된 바와 같이, (m11, m12, m13, m14), (m21, m22, m23, m24), (m31, m32, m33, m34), (m41, m42, m43, m44), (m51, m52, m53, m54), (m61, m62, m63, m64) 및 (m71, m72, m73, m74)가 7개의 메모리 셀들에 저장된다.

따라서, 도 7a에서 m11, m12, m13 및 m14는 메모리 셀 1에 제각기 제 1, 제 2, 제 3 및 제 4 비트로서 저장된다. 동일한 방식으로, m21, m22, m23 및 m24와, m31, m32, m33 및 m34와, m41, m42, m43 및 m44와, m51, m52, m53 및 m54와, m61, m62, m63 및 m64와, m71, m72, m73 및 m74가 제각기 메모리 셀들 2 내지 7에 저장된다.

각각의 코드 트레인은 단일의 에러가 발생한 경우에도 수정될 수 있다. 예를 들어, 도 7a에 도시된 바와 같이, 세 번째 메모리 셀 3에 4비트 길이의 버스트 에러가 발생한 경우에도, 이러한 에러는 각 코드 트레인내의 단일 에러이고, 이러한 에러는 2개의 코드 트레인들로 구성된 코드 워드내의 2개 에러에 대응하므로, 수정이 가능하다. 즉, 7개 메모리 셀들중 하나의 임계 전압이 변화한 경우에도, 즉, 예를 들어, 저장된 내용 "1000"을 "0111"로 변화시키는 버스트 에러가 발생한 경우에도, 수정이 가능하다.

다음으로, 본 발명에 따른 데이터 가입 방법의 실시예 3의 제 2 변형예가 이하에서 설명된다.

제 2 변형예에 따른 반도체 장치는 16레벨 메모리 장치로서, 각 메모리 셀의 임계 전압이 저장될 4비트 데이터(0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1101, 1110, 1111)에 대응하는 16개의 레벨들(0V, 1V, 1.25V, 1.5V, 1.75V, 2V, 2.25V, 2.5V, 2.75V, 3V, 3.25V, 3.5V, 3.75V, 4V, 4.25V, 4.5V)중 어느 것으로 세트된다. 제 2 변형예는 코드 워드 비트당 단일의 에러가 수정될 수 있고 코드 워드 비트당 2개의 에러가 검출될 수 있는 특정의 코딩 표준을 따른다.

데이터 재가입시에, 16비트 데이터가 입력될 때마다, 이 입력 데이터는 4X4 데이터 비트들(m11, m21, m31, m41), (m12, m22, m32, m42), (m13, m23, m33, m43) 및 (m14, m24, m34, m44)로 나뉘어진다. 이들 나뉘어진 데이터 비트들에 기초하여 해밍 코드에 의해 3X4 잉여 비트들(p11, p21, p31), (p12, p22, p32), (p13, p23, p33) 및 (p14, p24, p34)이 획득된다.

그리고 나서, 모든 7개 비트들은 4개의 코드 트레인들(m11, m21, m31, m41, p11, p21, p31), (m12, m22, m32, m42, p12, p22, p32), (m13, m23, m33, m43, p13, p23, p33) 및 (m14, m24, m34, m44, p14, p24, p34)의 각각에서 EX-OR된다. 이와 같이해서 얻어진 잉여 비트들 q1, q2, q3 및 q4이 4개 코드 트레인들에 제각기 부가되어 4개의 코드 워드들 (m11, m21, m31, m41, p11, p21, p31, q1), (m12, m22, m32, m42, p12, p22, p32, q2), (m13, m23, m33, m43, p13, p23, p33, q3) 및 (m14, m24, m34, m44, p14, p24, p34, q4)가 형성된다.

그리고 나서, 이들 4개의 코드 워드들은 4X8 배열의 위치에 입력된다. 또한, 도 7b에 도시된 바와 같이, (m11, m12, m13, m14), (m21, m22, m23, m24), (m31, m32, m33, m34), (m41, m42, m43, m44), (p11, p12, p13, p14), (p21, p22, p23, p24), (p31, p32, p33, p34) 및 (q1, q2, q3, q4)가 8개의 메모리 셀들에 저장된다.

따라서, 도 7b에서 m11, m12, m13 및 m14는 메모리 셀 1에 제각기 제 1, 제 2, 제 3 및 제 4 비트로서 저장된다. 동일한 방식으로, m21, m22, m23 및 m24와, m31, m32, m33 및 m34와, m41, m42, m43 및 m44와, p11, p12, p13 및 p14와, p21, p22, p23 및 p24와, p31, p32, p33 및 p34와, q1, q2, q3 및 q4가 제각기 메모리 셀들 2 내지 8에 저장된다.

각각의 코드 워드는 단일의 에러가 발생한 경우에도 수정될 수 있다. 예를 들어, 도 7b에 도시된 바와 같이, 세 번째 메모리 셀 3에 4비트 길이의 버스트 에러가 발생한 경우에도, 이러한 에러는 각 코드 워드내의 단일 에러이므로, 수정이 가능하다. 즉, 8개 메모리 셀들중 하나의 임계 전압이 변화한 경우에도, 즉, 예를 들어, 저장된 내용 "1000"을 "0111"로 변화시키는 버스트 에러가 발생한 경우에도, 수정이 가능하다. 또한, 1 내지 4 비트 길이의 버스트 에러가 다른 메모리 셀에 발생한 경우, 적어도 하나의 코드 워드내에 2개의 에러가 존재한다. 이들 2개 에러는 검출될 수 있고, 이들중 하나는 수정될 수 있다.

본 발명에 따른 데이터 가입 방법의 실시예 2 및 실시예 3의 변형예들 이외에 다른 변형예가 이하에서 설명된다.

예를 들어, 56 비트의 "0"가 64개의 최초 데이터가 부가되어 120 비트의 데이터가 획득되었다고 하자. 127 비트 길이의 해밍 코드가 이 120 비트 데이터에 기초하여 획득된다. 모든 127 비트들은 EX-OR되어 128비트 코드가 획득된다. 부가된 56 비트의 "0"는 128비트 코드로부터 삭제되어 72비트 코드 워드가 획득된다.

이러한 코딩 방법은 하나의 에러를 수정하고 코드 워드 비트당 2개의 에러를 검출할 수 있으며, 종종 주 메모리를 위한 SEC/DED 코드(단일-에러-수정/이중-에러-검출 코드)로서 사용된다.

단일의 코드 워드에 하나의 에러가 발생한 경우에도 에러 수정이 가능하게 되는 실시예가 이하에서 설명된다. 아래의 표 1은 3개의 잉여 비트들이 4개의 데이터 비트들에 추가되는 해밍 코드를 리스트한다.

[표 1]

디지털 :	1234567
비트 가중치 :	CC8C421
0 =	0000000
1 =	1101001
2 =	0101010
3 =	1000011
4 =	1001100
5 =	0100101
6 =	1100110
7 =	0001111
8 =	1110000
9 =	0011001
10 =	1011010
11 =	0110011
12 =	0111100
13 =	1010101
14 =	0010110
15 =	1111111
디지털 :	1234567
판독 코드 :	0101100
(4, 5, 6, 7) 디지털 패리티 :	___ → 0
(2, 3, 6, 7) 디지털 패리티 :	__ _ → 1
(1, 3, 5, 7) 디지털 패리티 :	_ _ _ _ → 1
에러 디지털 :	011 = 3

이들 해밍 코드에서, 1, 2 및 4 디지털은 잉여 비트들이고 이들 비트들은 각각의 디지털 세트 (1, 3, 5, 7), (2, 3, 6, 7) 및 (4, 5, 6, 7)에서 짝수 패리티가 획득될 수 있는 방식으로 결정된다. 예를 들어, 십진수 [12]에 대응하는 코드 "0111100"이 기입될 때, 코드 "0101100"으로 판독되는 에러가 발생한 경우에, 표 1에 도시된 바와 같이 이진수(이 경우 011)로 에러 디지털이 획득될 수 있다. 따라서 에러가 발생한 경우에도 에러를 안전하게 수정할 수 있다.

또한, 데이터 비트들의 수가 증가되면, 이 코드는 그 수까지 연장될 수 있으므로, n개의 데이터 비트들에 대해 필요한 잉여 비트들의 수 m은 다음 수학적 식 1과 같이 표현될 수 있다.

$$2^m = n + m + 1$$

앞서의 설명에서는 본 발명이 부동 게이트형 메모리 셀들을 갖는 비휘발성 메모리 장치에 적용된 예가 설명되었다. 그러나 부동 게이트형 메모리 셀에만 제한되지 않고, 본 발명은 또한 MNOS형(금속-절화물-산화물-실리콘) 반도체 메모리 장치에도 적용될 수 있다.

또한, 본 발명은 EEPROM에 추가하여 EPROM, PROM, 마스크 ROM 등에 적용될 수 있다. 마스크 ROM의 경우에, 저장 상태는 이온 주입에 의해 전계 효과 트랜지스터의 채널 영역내로 들어가는 불순물의 양을 제어함에 기초하여 그의 임계 레벨을 변화시킴으로써 획득될 수 있다.

또한, 이상의 실시예에서는 4-레벨 및 8-레벨 메모리 셀들이 설명되었다. 그러나 본 발명에 따른 데이터 기입은 물론 이들 레벨들에만 제한되지 않는다.

또한, 에러 수정 코드를 획득하는 방법으로서 인터리빙 방식이 설명되었지만, 메모리 셀에 저장된 데이터 양에 대응하는 버스트 길이의 에러가 에러 수정 코드에 의해 수정될 수 있는 한, 주기 코드(cyclic codes) 또는 콤팩트 주기 코드(compact cyclic codes)와 같은 다른 방법이 또한 적용될 수 있다.

다음으로, 이하에서는 본 발명에 따른 데이터 판독 방법의 실시예들이 첨부된 도면을 참조하여 설명된다.

실시예 1에서는 도 1에 도시된 다중레벨 EEPROM 및 이 EEPROM으로부터 데이터를 판독하는 방법이 설명된다.

판독 동작시에, 우선 외부 논리 어드레스 신호가 입력 I/F(7)를 통해 변환기(9)에 입력된다. 변환기(9)는 입력 논리 어드레스 신호에 기초하여 실제 메모리 셀에 대응하는 물리 어드레스 신호를 발생한다. 이 물리 어드레스 신호에 응답하여, 신호 제어기(6)는 선택될 워드 라인(도 3의 제어 게이트)(19) 및 비트 라인(도 2 참조)(15)을 결정하며, 결정된 결과를 디코더(2) 및 멀티플렉서(4)에게 지시한다. 이러한 지시에 따라

디코더(2)는 워드 라인(19)을 선택하며, 멀티플렉서(4)는 비트 라인(15)을 선택한다.

신호 제어기(6)는 선택된 메모리 셀의 제어 게이트(19)에 인가될 전압의 크기를 결정하여, 이 결정된 전압을 전압 제어기(3)에게 지시한다. 전압 제어기(3)는 이 결정된 전압을 디코더(2)를 통해 선택된 워드 라인(19)에 인가한다. 한편, 멀티플렉서(4)는 사전결정된 전압을 선택된 비트 라인(15)에 인가한다. 그러므로 선택된 메모리 셀의 임계 전압에 따라 선택된 비트 라인(15)을 통해 전류가 흐르는지의 여부를 판정할 수 있다.

선택된 비트 라인(15)에 대한 전류의 상태는 멀티플렉서(4)로부터 센스 증폭기(5)로 전달된다. 센스 증폭기(5)는 선택된 비트 라인(15)을 통해 흐르는 전류의 존재 여부를 검출하여, 검출된 결과를 신호 제어기(6)에 전달한다. 센스 증폭기(5)의 검출된 결과에 기초하여, 신호 제어기(6)는 선택된 메모리 셀의 제어 게이트(19)에 다음으로 인가될 전압을 결정하여, 결정된 전압을 전압 제어기(3)에 지시한다. 또한, 신호 제어기(6)는 앞서 언급된 절차를 반복함으로써 획득된, 선택된 메모리 셀의 저장된 데이터를 출력 I/F(8)를 통해 출력한다.

도 8은 본 발명에 따른 판독 방법의 실시예 1의 처리를 도시하는 흐름도이다. 8Mbit의 저장 용량을 갖는 4레벨 EEPROM이 예로 설명된다. 4레벨 EEPROM은 16진수 표현으로 [00 0000] 내지 [7F FFFF]의 논리 어드레스 공간과 [00 0000] 내지 [3F FFFF]의 물리 어드레스 공간을 갖는다. 또한, 각 메모리 셀은 2비트(=4레벨) 데이터(00, 01, 10, 11)를 저장하며, 이들 데이터에 따라 (0V, 2V, 4V, 6V)의 임계 전압들이 메모리 셀들에 설정된다.

메모리 셀의 물리 어드레스가 Ap인 경우, 논리 어드레스 데이터 Ap는 메모리 셀의 2비트들중 상위 비트에 저장되며, 논리 어드레스(Ap+[40 0000])는 하위 비트에 저장된다.

즉, 데이터 재가입 동작시에, [00 0000] 내지 [3F FFFF]의 논리 어드레스 A1와 저장될 데이터(0 또는 1)가 지정되면, 물리 어드레스 A1에 존재하는 메모리 셀의 상위 비트가 지정된 데이터로 재가입된다.

한편, 데이터 재가입 동작시에, [40 0000] 내지 [7F FFFF]의 논리 어드레스 A1 및 저장될 데이터(0 또는 1)가 지정되면, 물리 어드레스(A1=[40 0000])에 존재하는 메모리 셀의 하위 비트가 지정된 데이터에 재가입된다.

도 8에서, 외부 판독 인스트럭션이 단계(S1)에서 입력되고 또 단계(S2)에서 논리 어드레스 신호가 입력 I/F(7)에 입력되면, 단계(S3)에서 신호 제어기(6)는 입력 논리 어드레스 신호가 [00 0000] 내지 [3F FFFF] 범위의 어드레스를 표시하는지의 여부를 판정한다.

단계(S3)에서, 논리 어드레스 신호가 [00 0000] 내지 [3F FFFF] 범위의 어드레스를 표시하면, 논리 어드레스가 물리 어드레스와 일치하므로, 단계(S4)에서 판독될 데이터가 2비트중 상위 비트임이 결정된다. 이 경우, 3V의 기준 전압이 선택된 메모리 셀의 제어 게이트(19)에 인가되며, 또한, 단계(S5)에서 선택된 비트 라인(15) 및 센스 증폭기(5)를 통해 드레인(12)과 소스(13) 사이에 전류가 흐르는지의 여부가 판정된다.

단계(S5)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 즉, 선택된 메모리 셀이 도전되면, 이 선택된 메모리 셀의 임계 전압이 0V 또는 2V이므로, 이 메모리 셀에 저장된 2비트 데이터중 선택된 메모리 셀이 "0"인 것으로 판정된다. 이 판정된 데이터는 단계(S6)에서 출력 I/F(8)를 통해 즉시 출력된다.

한편, 단계(S5)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀에 저장된 2비트 데이터중 상위 비트가 "1"인 것으로 판정된다. 이것은 선택된 메모리 셀의 임계 전압이 4V 또는 6V이기 때문이다. 판정된 데이터는 단계(S7)에서 출력 I/F(8)를 통해 즉시 출력된다.

또한, 단계(S3)에서, 입력 I/F(7)에 입력된 논리 어드레스 신호가 [40 0000] 내지 [7F FFFF] 범위내의 어드레스를 표시하면, 논리 어드레스는 물리 어드레스와 일치하지 않는다. 즉, 물리 어드레스는 (논리 어드레스-[40 0000])이다. 판독될 데이터는 단계(S8)에서 2비트중 하위 비트인 것으로 판정된다. 이 경우, 3V의 기준 전압이 선택된 메모리 셀의 제어 게이트(19)에 인가되며, 또한, 단계(S9)에서 선택된 비트 라인(15) 및 센스 증폭기(5)를 통해 드레인(12)과 소스(13)간에 전류가 흐르는지의 여부가 판정된다.

단계(S9)에서, 선택된 메모리 셀의 드레인(12)과 소스(13)간에 전류가 흐르면, 단계(S10)에서 신호 제어기(6)는 전압 제어 회로(3)에게 선택된 메모리 셀의 제어 게이트(19)에 1V의 기준 전압을 인가하도록 지시한다. 이것은 이 선택된 메모리 셀의 임계 전압이 0V 또는 2V이기 때문이다.

또한, 단계(S10)에서, 선택된 메모리 셀의 드레인(12)과 소스(13)간에 전류가 흐르면, 이 메모리 셀의 2비트 데이터중 하위 비트는 "0"인 것으로 판정된다. 이것은 이 메모리 셀의 임계 전압이 0V이기 때문이다. 단계(S11)에서 이 판정된 데이터는 출력 I/F(8)를 통해 즉시 출력된다.

한편, 단계(S10)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀의 2비트 데이터중 하위 비트가 "1"인 것으로 판정된다. 이것은 이 선택된 메모리 셀의 임계 전압이 "2V"이기 때문이다. 이 판정된 데이터는 단계(S12)에서 출력 I/F(8)를 통해 즉시 출력된다.

또한, 단계(S9)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 단계(S13)에서 신호 제어기(6)는 전압 제어기(3)에게 선택된 메모리 셀의 제어 게이트(19)에 5V의 기준 전압을 인가하도록 지시한다. 이것은 이 선택된 메모리 셀의 임계 전압이 4V 또는 6V이기 때문이다.

또한, 단계(S13)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 이 메모리 셀의 2비트 데이터중 하위 비트가 "0"인 것으로 판정된다. 이것은 이 메모리 셀의 임계 전압이 4V이기 때문이다. 판정된 데이터는 단계(S12)에서 출력 I/F(8)를 통해 즉시 출력된다.

한편, 단계(S13)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀의 2비트 데이터중 하위 비트가 "1"인 것으로 판정된다. 이것은 이 메모리 셀의 임계 전압이 6V이기 때문이다. 이 판정된 데이터는 단계(S13)에서 출력 I/F(8)를 통해 즉시 출력된다.

앞서 설명된 판독 방법에 대하여, 선택된 메모리 셀의 제어 게이트(19)에 1V, 3V 또는 5V의 기준 전압을 인가함으로써 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르는지의 여부를 판정하는 방법이 도 1 및 도 9를 참조하여 설명된다.

예를 들어, 도 8의 단계(S4)에서, 신호 제어기(6)가 변환기(9)로부터 물리 어드레스를 수신하여, 판독될 데이터가 2비트 데이터중 상위 비트인 것을 판정하면, 신호 제어기(6)는 또한 선택된 메모리 셀의 제어 게이트(19)에 인가될 전압이 3V인 것으로 판정하여, 판정된 전압을 전압 제어기(3)에 지시한다.

도 9에서, 전압 제어기(3)는 1V 기준 전압 발생기(3a), 3V 기준 전압 발생기(3b) 및 5V 기준 전압 발생기(3c)를 포함한다.

본 실시예에서, 기준 전압 발생기(3b)는 기준 전압으로서 3V를 발생하여 스위칭 회로(55)에 인가한다. 신호 제어기(6)는 입력 물리 어드레스에 응답하여 선택될 워드 라인을 판정하여 판정된 결과를 디코더(2)에 지시한다. 이러한 지시에 따라, 디코더(2)는 스위칭 회로(55)로 디코딩 신호를 출력한다.

3V 기준 전압 및 디코딩 신호 수신시에, 스위칭 회로(55)는 선택된 워드 라인에 3V 기준 전압을 인가한다.

센스 증폭기(5)는 셀 어레이(1)중 선택된 메모리 셀(1a)의 드레인(12)과 소스(13) 사이에 전류가 흐르는지의 여부를 판정한다. 보다 구체적으로, 센스 증폭기(5)는 메모리 셀(1a)의 출력 전압과 기준 전압 발생기(56)로부터의 사전결정된 기준 전압을 비교한다. 비교 결과는 신호 제어기(6)로 지시된다.

이러한 지시에 따라, 신호 제어기(6)는 메모리 셀(1a)에 다음으로 인가되는 1V 또는 5V의 전압을 판정한다. 그리고 나서, 신호 제어기(6)는 출력 I/F(8)를 통해 메모리 셀에 저장된 데이터를 출력한다.

앞서 설명된 바와 같이, 이러한 실시예 1에서, 논리 어드레스 [00 0000] 내지 [7F FFFF]는 계속적으로 비교적 높은 액세스 속도의 어드레스 공간 A1(논리 어드레스:[00 0000] 내지 [3F FFFF])와 비교적 낮은 액세스 속도의 어드레스 공간 A2(논리 어드레스:[40 0000] 내지 [7F FFFF])로 나뉘어진다. 그리고 논리 어드레스 [00 0000] 내지 [7F FFFF]내의 물리 어드레스([00 0000] 내지 [3F FFFF])에 의해 형성된 어드레스 공간에 일대일 대응하는 부분 공간(논리 어드레스:[00 0000] 내지 [3F FFFF])이 비교적 높은 액세스 속도의 어드레스 공간 A1으로서 판정된다. 또한, 어드레스 공간 A1내의 데이터가 각 메모리 셀의 저장 상태의 특정 성분(여기서는 상위 비트)에 저장된다.

입력 논리 어드레스가 앞서 언급된 부분 공간(논리 어드레스 [00 0000] 내지 [3F FFFF])내에 포함된 경우, 이 논리 어드레스는 상위 비트 데이터를 지정한다. 따라서 3V의 기준 전압을 사용함으로써 단일의 판정 프로세스에 의해 이 상위 비트 데이터를 즉각 검출할 수 있다. 그리고 나서, 검출된 상위 비트 데이터는 출력된다. 이 경우, 모든 기준 전압들을 사용하여 제각기의 임계 전압들이 체크되는 경우에 비해 액세스 속도를 두배로 증가시킬 수 있다.

그러므로 최고의 액세스 빈도를 갖는 데이터가 상위 비트에 저장될 수 있고 비교적 낮은 액세스 빈도를 갖는 데이터는 하위 비트에 저장될 수 있다. 프로그래머는 단일의 고속 메모리 장치가 본 발명에 따라 제공된 경우에도 EEPROM을 동작시킬 수 있다. 따라서, 극히 높은 효율로 다중레벨 EEPROM으로부터 데이터를 판독할 수 있다.

또한, 다중레벨 EEPROM에 적절히 저장된 데이터 및 프로그램들로서는 산술 유닛(높은 액세스 빈도를 갖는 것의 예) 및 다큐먼트 파일(비교적 낮은 빈도를 갖는 것의 예)의 BIOS(기본 입/출력 시스템)이 있다. 이 경우, 전자는 높은 액세스 속도의 상위 비트에, 후자는 낮은 액세스 속도의 하위 비트에 저장된다.

이하에서는 본 발명에 따른 데이터 판독 방법의 실시예 2가 설명된다.

실시예 2에서는, 다중레벨 EEPROM이 본 발명에 따른 데이터 판독 방법의 실시예 1의 경우와 동일한 방식으로 사용된다. 다중레벨 EEPROM의 기본적인 구성은, 실시예 2에서는 12Mbit의 저장 용량을 갖는 8레벨 EEPROM이 사용된 점을 제외하면 실시예 1의 경우와 동일하다. 8레벨 EEPROM의 구성은 기본적으로 실시예 1의 경우와 동일하므로, 본 명세서에서 그 설명을 생략한다.

도 10은 본 발명에 따른 판독 방법의 실시예 2의 처리를 도시하는 흐름도이다. 실시예 2에서는, 12Mbit의 저장 용량을 갖는 8레벨 EEPROM이 예로서 설명된다. 8레벨 EEPROM은 16진수 표현으로 [00 0000] 내지 [BF FFFF]의 논리 어드레스 공간 및 [00 0000] 내지 [3F FFFF]의 물리 어드레스 공간을 갖는다. 또한, 각 메모리 셀은 3비트(=8레벨) 데이터(000, 001, 010, 011, 100, 101, 110, 111)를 저장하며, 이들 데이터에 따라 (0V, 1V, 2V, 3V, 4V, 5V, 6V, 7V)의 임계 전압들이 메모리 셀들에 세트된다.

또한, 메모리 셀의 물리 어드레스가 Ap인 경우, 논리 어드레스 Ap의 데이터는 3비트의 제각기의 상분중 최상위 비트에 저장되고, 논리 어드레스(Ap+[40 0000])는 중위 비트에 저장되며, 논리 어드레스(Ap+[80 0000])는 최하위 비트에 저장된다.

즉, 데이터 재가입 동작시에, [00 0000] 내지 [3F FFFF] 범위내의 논리 어드레스 A1 및 저장될 데이터(0 또는 1)가 지정된 경우, 물리 어드레스 A1에 존재하는 메모리 셀의 최상위 비트가 지정된 데이터에 재가입된다.

한편, 데이터 재가입 동작시에, [40 0000] 내지 [7F FFFF] 범위내의 논리 어드레스 A1 및 저장될 데이터(0 또는 1)가 지정된 경우, 물리 어드레스(A1-[40 0000])에 존재하는 메모리 셀의 중위 비트가 지정된 데이터에 재가입된다.

또한, 데이터 재가입 동작시에, [80 0000] 내지 [BF FFFF] 범위내의 논리 어드레스 A1 및 저장될 데이터(0 또는 1)가 지정된 경우, 물리 어드레스(A1-[80 0000])에 존재하는 메모리 셀의 최하위 비트가 지정된 데이터에 재가입된다.

도 10에서, 단계(S21)에서, 외부 판독 인스트럭션이 입력되고, 또, 단계(S22)에서 논리 어드레스 신호가 입력

I/F(7)에 입력되면, 단계(S23)에서 신호 제어기(6)는 입력 논리 어드레스 신호가 [00 0000] 내지 [3F FFFF] 범위내의 어드레스를 표시하는지의 여부를 판정한다.

단계(S23)에서, 논리 어드레스 신호가 [00 0000] 내지 [3F FFFF] 범위내의 어드레스를 표시하는 경우, 단계(S24)에서 논리 어드레스가 물리 어드레스와 일치하므로, 판독될 데이터는 3비트중 최상위 비트인 것으로 판정된다. 이 경우, 3.5V의 기준 전압이 선택된 메모리 셀의 제어 게이트(19)에 인가된다. 그리고, 또한 단계(S25)에서 선택된 비트 라인(15) 및 센스 증폭기(5)를 통해 드레인(12)과 소스(13) 사이에 전류가 흐르는지의 여부가 판정된다.

단계(S25)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 즉, 선택된 메모리 셀이 도전되면, 이 선택된 메모리 셀의 임계 전압은 0V, 1V, 2V 및 3V중 어느 하나이며, 이들 임계 전압에 의해 지정되는 3비트 데이터는 또한 "000", "001", "010" 및 "011"이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 최상위 비트가 "0"인 것으로 판정된다. 단계(S26)에서 판정된 데이터는 출력 I/F(8)를 통해 즉시 출력된다.

한편, 단계(S25)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 선택된 메모리 셀의 임계 전압은 4V, 5V, 6V 및 7V중 어느 하나이며, 이들 임계 전압에 의해 지정되는 3비트 데이터는 또한 "100", "101", "110" 및 "111"이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 최상위 비트는 "1"로 판정된다. 단계(S27)에서 이 판정된 데이터는 출력 I/F(8)를 통해 즉시 출력된다.

또한, 단계(S23)에서, 입력 I/F(7)에 입력된 논리 어드레스 신호가 [00 0000] 내지 [3F FFFF] 범위내의 어드레스를 표시하지 않으면, 단계(S28)에서 입력 논리 어드레스 신호가 [40 0000] 내지 [7F FFFF] 범위내의 어드레스를 표시하는지의 여부가 판정된다.

단계(S28)에서, 입력 I/F(7)에 입력된 논리 어드레스 신호가 [40 0000] 내지 [7F FFFF] 범위내의 어드레스를 표시하면, 논리 어드레스는 물리 어드레스와 일치하지 않는다. 즉, 물리 어드레스는 (논리 어드레스-[40 0000])이다. 따라서, 단계(S29)에서 판독될 데이터는 3비트중 중위 비트인 것으로 판정된다. 이 경우, 3.5V의 기준 전압이 선택된 메모리 셀의 제어 게이트(19)에 인가된다. 그리고, 또한, 단계(S30)에서 선택된 비트 라인(15) 및 센스 증폭기(5)를 통해 드레인(12)과 소스(13) 사이에 전류가 흐르는지의 여부가 판정된다.

단계(S30)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 이 메모리 셀의 임계 전압은 0V, 1V, 2V 및 3V중 어느 것이다. 여기서, 0V 및 1V의 임계 전압에 의해 지정된 3비트 데이터는 "000" 및 "001"이다. 즉, 중위 비트가 모두 "0"이다. 또한, 2V 및 3V의 임계 전압에 의해 지정되는 3비트 데이터는 "010" 및 "011"이다. 즉, 중위 비트가 모두 "1"이다. 따라서, 중위 비트를 판정하기 위해 신호 제어기(6)는 단계(S31)에서 선택된 메모리 셀의 제어 게이트(19)에 1.5V의 기준 전압을 인가하도록 전압 제어기(3)에게 지시한다.

또한, 단계(S31)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 이 메모리 셀의 임계 전압은 0V 또는 1V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 중위 비트는 "0"인 것으로 판정된다. 이 판정된 데이터는 단계(S32)에서 출력 I/F(8)를 통해 즉시 출력된다.

한편, 단계(S31)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀의 임계 전압은 2V 또는 3V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 중위 비트는 "1"인 것으로 판정된다. 이 판정된 데이터는 단계(S33)에서 출력 I/F(8)를 통해 즉시 출력된다.

또한, 단계(S30)에서 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀의 임계 전압은 4V, 5V, 6V 및 7V중 어느 것이다. 여기서, 4V 및 5V의 임계 전압에 의해 지정되는 3비트 데이터는 "100"과 "101"이다. 즉, 중위 비트는 모두 "0"이다. 또한, 6V 및 7V의 임계 전압에 의해 지정되는 3비트 데이터는 "010" 및 "011"이다. 즉, 중위 비트가 모두 "1"이다. 그러므로 중위 비트를 판정하기 위해 신호 제어기(6)는 단계(S34)에서 선택된 메모리 셀의 제어 게이트(19)에 5.5V의 기준 전압을 인가하도록 전압 제어기(3)에게 지시한다.

또한, 단계(S34)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 이 메모리 셀의 임계 전압은 4V 또는 5V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 중위 비트는 "0"인 것으로 판정된다. 이 판정된 데이터는 단계(S32)에서 출력 I/F(8)를 통해 즉시 출력된다.

한편, 단계(S34)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀의 임계 전압은 6V 또는 7V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 중위 비트는 "1"인 것으로 판정된다. 이 판정된 데이터는 단계(S33)에서 출력 I/F(8)를 통해 즉시 출력된다.

또한, 단계(S28)에서, 입력 I/F(7)에 입력된 논리 어드레스 신호가 [40 0000] 내지 [7F FFFF] 범위내의 어드레스를 표시하지 않으면, 논리 어드레스 신호는 [80 0000] 내지 [BF FFFF] 범위내의 어드레스를 표시한다. 즉, 물리 어드레스는 (논리 어드레스-[80 0000])이다. 따라서, 단계(S35)에서, 판독될 데이터는 3비트중 최하위 비트이다. 이 경우, 3.5V의 기준 전압이 선택된 메모리 셀의 제어 게이트(19)에 인가된다. 그리고 단계(S36)에서 선택된 비트 라인(15) 및 센스 증폭기(5)를 통해 드레인(12)과 소스(13) 사이에 전류가 흐르는지의 여부가 검출된다.

단계(S36)에서, 드레인(12)과 소스(13) 사이에 전류가 흐르면, 메모리 셀의 임계 전압은 0V, 1V, 2V 및 3V중 어느 하나이다. 따라서, 이들 임계 전압에 의해 지정되는 3비트 데이터는 "000", "001", "010" 및 "011"이다. 그러므로 이 단계에서 최하위 비트를 지정할 수 없다. 최하위 비트를 지정하기 위해, 신호 제어기(6)는 단계(S37)에서 선택된 메모리 셀의 제어 게이트(19)에 1.5V의 기준 전압을 인가하도록 전압 제어기(3)에게 지시한다.

단계(S37)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 이 메모리 셀의 임계 전압은 0V 또는 1V이다. 따라서, 이들 임계 전압들에 의해 지정되는 3비트 데이터는 "000" 또는 "001"인 것으로

판정된다. 그러므로 최하위 비트를 지정하기 위해 신호 제어기(6)는 단계(S38)에서 선택된 메모리 셀의 제어 게이트(19)에 0.5V의 기준 전압을 인가하도록 전압 제어기(3)에게 지시한다.

또한, 단계(S38)에서 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 이 메모리 셀의 임계 전압은 0V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 최하위 비트는 "0"인 것으로 판정된다. 이 판정된 결과는 단계(S39)에서 출력 I/F(8)를 통해 즉시 출력된다.

한편, 단계(S38)에서 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 메모리 셀의 임계 전압은 1V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 최하위 비트는 "1"인 것으로 판정된다. 이 판정된 결과는 단계(S40)에서 출력 I/F(8)를 통해 즉시 출력된다.

또한, 단계(S37)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀의 임계 전압은 2V 또는 3V이다. 따라서, 이들 임계 전압에 의해 지정되는 3비트 데이터는 "010" 또는 "011"이다. 그러므로 최하위 비트를 지정하기 위해 신호 제어기(6)는 단계(S41)에서 선택된 메모리 셀의 제어 게이트(19)에 2.5V의 기준 전압을 인가하도록 전압 제어기(3)에게 지시한다.

단계(S41)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 메모리 셀의 임계 전압은 2V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 최하위 비트는 "0"인 것으로 판정된다. 이 판정된 데이터는 단계(S39)에서 출력 I/F(8)를 통해 즉시 출력된다.

한편, 단계(S41)에서 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀의 임계 전압은 3V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 최하위 비트는 "1"인 것으로 판정된다. 이 판정된 데이터는 단계(S40)에서 출력 I/F(8)를 통해 즉시 출력된다.

또한, 단계(S36)에서, 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀의 임계 전압은 4V, 5V, 6V 및 7V중 어느 하나이다. 이들 임계 전압에 의해 지정되는 3비트 데이터는 따라서 "100", "101", "110" 및 "111"이다. 그러므로 이 단계에서는 최하위 비트를 지정할 수 없다. 따라서 최하위 비트를 지정하기 위해 신호 제어기(6)는 단계(S42)에서 선택된 메모리 셀의 제어 게이트(19)에 5.5V의 기준 전압을 인가하도록 전압 제어기(3)에게 지시한다.

단계(S42)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 이 메모리 셀의 임계 전압은 4V 또는 5V이다. 이들 임계 전압에 의해 지정되는 3비트 데이터는 따라서 "100" 또는 "101"이다. 그러므로 최하위 비트를 지정하기 위해 신호 제어기(6)는 단계(S43)에서 선택된 메모리 셀의 제어 게이트(12)에 4.5V의 기준 전압을 인가하도록 전압 제어기(3)에게 지시한다.

또한, 단계(S43)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 이 메모리 셀의 임계 전압은 4V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 최하위 비트는 "0"인 것으로 판정된다. 이 판정된 데이터는 단계(S39)에서 출력 I/F(8)를 통해 즉시 출력된다.

또한, 단계(S43)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀의 임계 전압은 5V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 최하위 비트는 "1"인 것으로 판정된다. 이 판정된 결과는 단계(S40)에서 출력 I/F(8)를 통해 즉시 출력된다.

또한, 단계(S42)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀의 임계 전압은 6V 또는 7V이다. 이들 임계 전압에 의해 지정되는 3비트 데이터는 "110" 또는 "111"이다. 그러므로 최하위 비트를 지정하기 위해 신호 제어기(6)는 단계(S44)에서 선택된 메모리 셀의 제어 게이트(19)에 6.5V의 기준 전압을 인가하도록 전압 제어기(3)에게 지시한다.

단계(S44)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르면, 이 메모리 셀의 임계 전압은 6V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 최하위 비트는 "0"인 것으로 판정된다. 이 판정된 데이터는 단계(S39)에서 출력 I/F(8)를 통해 즉시 출력된다.

한편, 단계(S44)에서, 선택된 메모리 셀의 드레인(12)과 소스(13) 사이에 전류가 흐르지 않으면, 이 메모리 셀의 임계 전압은 7V이다. 따라서, 이 메모리 셀 저장 상태의 3비트중 최하위 비트는 "1"인 것으로 판정된다. 이 판정된 데이터는 단계(S40)에서 출력 I/F(8)를 통해 즉시 출력된다.

앞서 설명된 바와 같이, 실시예 2에서는, [00 0000] 내지 [BF FFFF] 범위내의 논리 어드레스가 비교적 높은 액세스 속도의 어드레스 공간과 비교적 낮은 액세스 속도의 어드레스 공간으로 계층적으로 나뉘어진다. 여기서, 비교적 높은 액세스 속도의 어드레스 공간은 어드레스 공간 A1(논리 어드레스:[00 0000] 내지 [3F FFFF])으로서 결정된다. 또한, 비교적 낮은 액세스 속도의 어드레스 공간은 다시 2개의 어드레스 공간으로 계층적으로 나뉘어진다. 즉, 계층적으로 어드레스 공간 A1 다음의 중간 액세스 속도의 어드레스 공간은 계층적으로 어드레스 공간 A2(논리 어드레스:[40 0000] 내지 [BF FFFF])로서 결정되며, 이 어드레스 공간 A2 다음의 최저 액세스 속도의 어드레스 공간은 어드레스 공간 A3([40 0000] 내지 [BF FFFF])로서 결정된다.

또한, [00 0000] 내지 [7F FFFF] 범위의 논리 어드레스내의 물리 어드레스([00 0000] 내지 [3F FFFF])에 의해 형성되는 어드레스에 일대일 대응하는 부분 공간(논리 어드레스:[00 0000] 내지 [3F FFFF])은 비교적 높은 액세스 속도의 어드레스 공간 A1으로서 결정된다. 또한, 이 어드레스 공간 A1내의 데이터는 메모리 셀 저장 상태의 특정 비트, 즉, 최상위 비트에 저장된다. 또한, 이 어드레스 공간 A1 다음의 액세스 속도의 어드레스 공간 A2내의 데이터는 중위 비트에 저장된다. 또한, 이 어드레스 공간 A2 다음의 액세스 속도의 어드레스 공간 A3내의 데이터는 최하위 비트에 저장된다.

입력 논리 어드레스가 앞서 언급된 부분 공간(즉, 논리 어드레스:[00 0000] 내지 [3F FFFF])내에 포함되면, 이 논리 어드레스는 최상위 비트의 데이터를 지정한다. 따라서, 3.5V의 기준 전압을 사용함으로써 단일의 판정에 의해 최상위 비트를 즉시 판정할 수 있다. 그리고 나서, 이 판정된 최상위 비트 데이터는 출력된다. 또한, 입력 논리 어드레스가 앞서 언급된 부분 공간(즉, 논리 어드레스:[00 0000] 내지 [3F FFFF])내에 포함되지는

않지만 이 부분 공간에 인정하는 어드레스 공간(즉, 논리 어드레스:[40 0000] 내지 [7F FFFF])내에 포함되면, 이 논리 어드레스는 중위 비트의 데이터를 지정한다. 따라서, 3.5V 및 1.5V 또는 5.5V의 기준 전압들을 사용함으로써 2회의 판정에 의해 이 중위 비트 데이터를 즉시 판정할 수 있다. 그리고 나서, 이 판정된 중위 비트 데이터는 출력된다.

그러므로 최상위 비트의 데이터가 판독되면, 모든 기준 전압들을 사용함으로써 제각기의 임계 전압들이 체크되는 경우에 비해 액세스 속도를 3배 증가시킬 수 있다. 또한, 중위 비트의 데이터가 판독되면, 모든 기준 전압들을 사용함으로써 제각기의 임계 전압들이 체크되는 경우에 비해 액세스 속도를 1.5배 증가시킬 수 있다. 그러므로 최고 액세스 빈도를 갖는 데이터는 최상위 비트에, 중간 액세스 빈도를 갖는 데이터는 중위 비트에, 비교적 낮은 액세스 빈도를 갖는 데이터는 최하위 비트에 저장될 수 있다. 이와 같이 하여, 프로그래머는 일단계 또는 이단계 고속 메모리 장치가 제공된 것처럼 EEPROM을 동작시킬 수 있다. 따라서, 극도의 높은 효율로 다중레벨 EEPROM으로부터 데이터를 판독할 수 있다.

이상, 다중레벨 반도체 메모리 장치가 부동 게이트형 메모리 셀들을 갖는 EEPROM의 경우를 예로 하여 설명되었다. 그러나 이것에만 제한되지 않고, 본 발명에 따른 다중레벨 반도체 메모리 장치를 MNOS형 메모리 셀들에도 적용할 수 있다.

또한, EEPROM에만 제한되지 않고, 본 발명에 따른 데이터 판독 방법은 EPROM 또는 PROM내에 저장된 다중레벨 데이터가 판독되는 경우에도 적용될 수 있다. 또한, 본 발명에 따른 데이터 판독 방법은 이온 주입에 의해 전계 효과 트랜지스터의 채널 영역에 주입되는 불순물의 농도를 제어함에 기초해 그의 임계값들을 변화시킴으로써 저장 상태가 획득될 수 있는 마스크 ROM에도 적용될 수 있다.

본 발명에 따른 데이터 판독은 또한 DRAM(다이내믹 랜덤 액세스 메모리)에도 적용될 수 있다. DRAM의 경우에는 데이터 판독 후에 리프레시가 수행되어야 함을 알 수 있다.

또한, 이들 실시예 1 및 2에서는, 2 또는 3비트가 단일의 메모리 셀에 저장되었다. 그러나 본 발명은 4레벨 이상(즉, 2비트 이상)이 단일의 메모리 셀에 저장되는 경우에도 적용될 수 있다. 특히, 본 발명의 효과는 메모리 셀의 용량이 증가함에 따라 증가될 수 있다.

앞서 설명된 바와 같이, 실시예 1 및 2에서의 데이터 판독 방법은 메모리 셀의 어드레스가 판정된 후에 메모리 셀에 저장된 데이터를 판정하기 위해 특정 임계 전압을 갖는 메모리 셀의 제어 게이트에 판정 전압을 인가함으로써 메모리 셀의 드레인과 소스 사이에 전류가 흐르는지의 여부를 결정한다.

이뿐만 아니라, 메모리 셀내에 저장된 데이터는 메모리 셀의 출력 전압을 사전결정된 판정 전압과 비교함으로써 판정될 수 있다. 이러한 방법은 도 11을 참조하여 설명된다.

도 11에 도시된 판정 회로는 도 1에 도시된 셀 어레이(1)와 멀티플렉서(4)사이에 제공된다. 도 11에서, 임계 전압 V_{th1} 은 제 1 출력 버퍼를 통해 센스 증폭기(43)의 반전 입력 단자에 인가된다. 제 1 출력 버퍼는 인버터(40)와 트랜지스터(41, 42)를 포함한다. 이 임계 전압 V_{th} 은 메모리 셀 어레이(1)의 메모리 셀(1a)에 세트된 하위 비트 D0에 대응한다. 센스 증폭기(43)의 비반전 입력 단자에는 제 2 출력 버퍼를 통해 트랜지스터(47)에 세트된 판정 전압 V47이 인가된다. 제 2 출력 버퍼는 인버터(46)와 트랜지스터(44, 45)를 포함한다.

임계 전압 V_{th1} 이 판정 전압 V47보다 작으면, 센스 증폭기(43)의 출력은 하이가 된다. 따라서, 하위 비트 D0는 "1"인 것으로 판정된다.

센스 증폭기(43)의 출력이 하이이므로, 트랜지스터(52)는 턴온되고, 트랜지스터(54)는 이들 두 트랜지스터들 사이에 제공된 인버터(53)로 인해 턴오프된다.

따라서, 트랜지스터(52)에 세트된 판정 전압 V52가 제 3 출력 버퍼를 통해 센스 증폭기(48)의 비반전 입력 단자에 인가된다. 제 3 출력 버퍼는 인버터(51)와 트랜지스터(49, 50)를 포함한다.

또한, 메모리 셀(1a)에 세트된 상위 비트 D1에 대응하는 임계 전압 V_{th2} 가 제 1 출력 버퍼를 통해 센스 증폭기(48)의 반전 입력 단자에 인가된다.

이 임계 전압 V_{th2} 가 판정 전압 V52보다 작으면, 상위 비트 D1은, 센스 증폭기(48)의 출력이 하이가 되므로 "1"인 것으로 판정된다. 한편, V_{th2} 가 V52보다 크면, 상위 비트 D1은, 센스 증폭기(48)의 출력이 로우가 되므로 "0"인 것으로 판정된다.

다음으로, 임계 전압 V_{th1} 이 판정 전압 V47보다 크면, 하위 비트 D0는, 센스 증폭기(43)의 출력이 로우가 되므로 "0"인 것으로 판정된다.

센스 증폭기(43)의 출력이 로우이므로, 트랜지스터(52)가 턴오프되고, 트랜지스터(54)는 인버터(53)로 인해 턴온된다. 트랜지스터(54)에 세트된 판정 전압 V54는 제 3 출력 버퍼를 통해 센스 증폭기(48)의 비반전 입력 단자에 인가된다. 센스 증폭기(48)의 반전 입력 단자에는 제 1 출력 버퍼를 통해 임계 전압 V_{th2} 가 인가된다.

이 임계 전압 V_{th2} 가 판정 전압 V54보다 작으면, 상위 비트 D1은, 센스 증폭기(48)의 출력이 하이가 되므로 "1"인 것으로 판정된다. 한편, V_{th2} 가 V54보다 크면, 상위 비트 D1은, 센스 증폭기의 출력이 로우가 되므로 "0"인 것으로 판정된다.

앞서 설명된 바와 같이, 2비트(4레벨) 데이터(00, 01, 10, 11)가 판정된다. 도 11에 도시된 판정 회로는 센스 증폭기와 데이터 비트 수에 따라 판정 전압 인가 회로의 수를 증가시킴으로써 4레벨(또는 그 이상) 메모리 셀에도 적용될 수 있다.

또한, 본 발명의 범주는 다음의 경우, 즉, 본 발명에 따른 바람직한 실시예들에 의해 개시된 바와 같은 기능들을 성취하기 위한 소프트웨어의 프로그램 코드가 이들 기능을 성취할 수 있도록 활성화된 다양한 장치들에 접

속된 시스템 또는 컴퓨터에 공급된 경우를 포함한다. 또한, 앞서 언급된 장치들은 이러한 시스템 또는 컴퓨터(CPU 또는 MPU)에 저장된 프로그램에 따라 활성화된다.

또한, 이 경우에, 소프트웨어 프로그램 코드들 자체는 본 발명에 따른 바람직한 실시예들의 기능들을 성취할 수 있다. 이들 프로그램 코드 및 컴퓨터에 이 프로그램 코드들을 공급하기 위한, 도 1에 도시된 저장 매체(31)와 같이 프로그램 코드를 저장하기 위한 수단은 본 발명의 범주내에 포함된다.

즉, 이 저장 매체(31)에 저장된 프로그램 코드는 입력 I/F(8)를 통해 신호 제어기(6)에 접속된 도 1에 도시된 기록 및 재생 장치(30)에 의해 판독됨으로써, 신호 제어기(6)를 구성하는 컴퓨터가 활성화될 수 있다. 또한, 이들 프로그램 및 코드를 기록하기 위한 저장 매체(31)로서는, 플로피 디스크, 하드 디스크, 광 디스크, 자기 광 디스크, CD-ROM, 자기 테이프, 비휘발성 메모리 카드, ROM 등이 있다.

발명의 효과

앞서 설명된 바와 같이, 본 발명에 따르면, 단일 메모리 셀에 저장된 다중레벨 데이터가 손실되더라도, 효과적으로 에러 수정을 실행할 수 있다.

또한, 본 발명에 따르면, 높은 액세스 빈도의 데이터가 입력 논리 어드레스에 따라 고속으로 판독될 수 있으므로, 데이터 판독 동작시에 액세스 시간을 현저히 감소시킬 수 있다.

(57) 청구의 범위

청구항 1

반도체 장치에 있어서,

제각기 적어도 3레벨의 데이터 각각을 저장하는 다수의 다중레벨 메모리 셀들(1)과;

적어도, 다수의 제 1 데이터 비트들로 구성되며 코딩 방법에 의해 코딩된 제 1 데이터와, 다수의 제 2 데이터 비트들로 구성되며 코딩 방법에 의해 코딩된 제 2 데이터를 받아들여, 적어도, 상기 제 1 데이터 비트들중 $N(N$ 은 정수)순위 비트와 상기 제 2 데이터 비트들중 N 순위 비트가 상기 다수의 셀들중 하나에 저장되도록 상기 제 1 및 제 2 데이터 비트들을 정렬하는 정렬 수단(6)과;

적어도, 상기 N 순위 비트들에 대응하는 전압을 발생하기 위한 발생 수단(3)과;

상기 셀들중 하나에 대응하는 어드레스 정보에 응답하여, 상기 셀들중 하나에 상기 전압을 인가하기 위한 인가 수단(2)

을 포함하는 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 정렬 수단은 상기 코딩 방법의 에러 수정 능력에 따라 상기 셀들중 하나에 저장될 데이터 비트들의 수를 제어하는 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 정렬 수단은 상기 각 셀에 m 개의 데이터 비트들을 저장하도록 $m \times n(m, n$ 은 정수) 배열의 위치들에 길이 n 을 갖는 m 개의 데이터 비트들을 입력하는 반도체 장치.

청구항 4

제각기 적어도 3레벨의 데이터 각각을 저장하는 다수의 다중레벨 메모리 셀들을 갖는 반도체 장치에 데이터 비트들을 기입하기 위한 방법에 있어서,

적어도, 다수의 제 1 데이터 비트들로 구성되며 코딩 방법에 의해 코딩된 제 1 데이터와, 다수의 제 2 데이터 비트들로 구성되며 코딩 방법에 의해 코딩된 제 2 데이터를 입력하는 단계와;

적어도, 상기 제 1 데이터 비트들중 $N(N$ 은 정수)순위 비트와 상기 제 2 데이터 비트들중 N 순위 비트가 상기 셀들중 하나에 저장되도록 상기 제 1 및 제 2 데이터 비트들을 정렬하는 단계와;

적어도, 상기 N 순위 비트들에 대응하는 전압을 발생하는 단계와;

상기 셀들중 하나에 대응하는 어드레스에 응답하여 상기 셀들중 하나에 상기 전압을 인가하는 단계

를 포함하는 데이터 기입 방법.

청구항 5

반도체 장치에 있어서,

논리 어드레스를 물리 어드레스로 변환하기 위한 변환 수단(9)과;

제각기, $n(n \geq 2)$ 개의 비트들(X_1, X_2, \dots, X_n)로 표현된 2^n 레벨의 데이터 각각을 저장하는, 상기 물리 어드레스를 포함하는 물리 어드레스 공간에 대응하도록 정렬된 다수의 다중레벨 메모리 셀들(1)과;

상기 논리 어드레스를 포함하는 논리 어드레스 공간이 상기 물리 어드레스 공간에 정합하는지의 여부를 판정하기 위한 판정 수단(6)과;

상기 논리 어드레스 공간이 상기 물리 어드레스 공간에 정합할 때에 기준 전압에 의해 1회의 지정 동작으로 최대 유효 비트 X1을 지정하기 위한 지정 수단(3, 2, 55, 5, 6)과;

상기 지정된 비트를 상기 물리 어드레스에 대응하는 상기 셀들중 하나로부터 출력하기 위한 출력 수단(8)을 포함하는 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 각 셀은 적어도 하나의 트랜지스터(1a)를 포함하며,

상기 지정 수단은

상기 기준 전압에 대응하는 전압을 발생하기 위한 제 1 수단(3)과;

상기 물리 어드레스에 응답하여 어드레스 신호를 발생하기 위한 제 2 수단(2)과;

상기 어드레스 신호에 응답하여 상기 물리 어드레스에 대응하는 상기 셀들중 하나에 상기 전압을 인가하기 위한 제 3 수단(55)과;

상기 트랜지스터의 드레인과 소스 사이에 전류가 흐르는지의 여부를 판정하기 위한 제 4 수단(5)과;

상기 판정 결과에 따라 상기 최대 유효 비트 X1을 지정하기 위한 제 5 수단(6)

을 포함하는 반도체 장치.

청구항 7

제 5 항에 있어서,

상기 지정 수단은

상기 각 셀의 출력에 접속되며 상기 최대 유효 비트 X1에 대응하는 전압이 인가되는 제 1 입력 단자를 갖는 비교기(5)와;

상기 비교기의 제 2 입력 단자에 접속되어, 상기 제 2 입력 단자에 상기 기준 전압에 대응하는 상기 전압을 인가하기 위한 전압 인가 회로(56)

를 포함하되, 상기 최대 유효 비트 X1은 상기 비교기에 의한 비교 결과에 따라 지정되는 반도체 장치.

청구항 8

제 5 항에 있어서,

상기 지정 수단은 상기 논리 어드레스 공간이 상기 물리 어드레스 공간에 정합하지 않는 것으로 판정되었을 때 최고 n개의 상이한 기준 전압들에 의해 최대 n회의 지정 동작으로 상기 비트들(X1, X2, ..., Xn)을 지정하는 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 각 셀은 적어도 하나의 트랜지스터를 포함하며,

상기 지정 수단은

n개의 기준 전압들에 대응하는 n개의 전압들을 발생하기 위한 제 1 수단(3)과;

상기 물리 어드레스에 응답하여 어드레스 신호를 발생하기 위한 제 2 수단(6)과;

상기 물리 어드레스에 응답하여 어드레스 신호에 대응하는 상기 셀들중 하나에 상기 전압을 인가하기 위한 제 3 수단(2)과,

상기 트랜지스터의 드레인과 소스 사이에 전류가 흐를 때까지 지정된 전압 인가 순서로 상기 트랜지스터의 게이트에 최대 n개의 전압들을 인가하기 위한 제 4 수단(55)과;

상기 전류를 검출함으로써 상기 비트들(X1, X2, ..., Xn)을 지정하는 수단(6)

을 포함하는 반도체 장치.

청구항 10

제 8 항에 있어서,

상기 비트들(X1, X2, ..., Xn)에 대응하는 전압들이 인가되는, 상기 각 셀의 출력에 접속된 제 1 입력 단자를 갖는 비교기(5)와;

상기 비교기의 제 2 입력 단자에 접속되어, 상기 제 2 입력 단자에 최고 n개의 기준 전압들에 대응하는 전압들

을 인가하기 위한 전압 인가 회로(56)

를 포함하되, 상기 비트들(X1, X2, ..., Xn)은 상기 비교기에 의한 비교 결과에 따라 지정되는 반도체 장치.

청구항 11

제각기 $n(n \geq 1)$ 개의 비트들(X1, X2, ..., Xn)로 표현되는 2^n 레벨의 데이터 각각을 저장하는, 물리 어드레스 공간에 대응하도록 정렬된 다수의 다중레벨 메모리 셀들로부터 상기 비트들(X1, X2, ..., Xn)을 판독하는 방법에 있어서,

논리 어드레스를 상기 물리 어드레스 공간내에 포함된 물리 어드레스로 변환하는 단계와;

상기 논리 어드레스를 포함하는 논리 어드레스 공간이 상기 물리 어드레스 공간에 정합하는지의 여부를 판정하는 단계와;

상기 논리 어드레스 공간이 상기 물리 어드레스 공간에 정합하는 것으로 판정된 때에 기준 전압에 의해 1회의 지정 동작으로 최대 유효 비트X1를 지정하는 단계와;

상기 지정된 비트를 상기 물리 어드레스에 대응하는 상기 셀들중 하나로부터 출력하는 단계를 포함하는 판독 방법.

청구항 12

제 11 항에 있어서,

상기 논리 어드레스 공간이 상기 물리 어드레스 공간에 정합하지 않는 것으로 판정된 때에 최대 n 개의 상이한 기준 전압들에 의해 최대 n 회의 지정 동작으로 상기 비트들(X1, X2, ..., Xn)을 지정하는 단계를 더 포함하는 판독 방법.

청구항 13

제각기 적어도 하나의 트랜지스터를 갖고, 제각기 $n(n \geq 2)$ 개의 비트들(X1, X2, ..., Xn)로 표현된 2^n 레벨의 데이터 각각을 저장하는, 물리 어드레스 공간에 대응하도록 정렬된 다수의 다중레벨 메모리 셀들로부터 상기 비트들(X1, X2, ..., Xn)을 판독하는 방법에 있어서,

논리 어드레스를 상기 물리 어드레스 공간내에 포함된 물리 어드레스로 변환하는 단계와;

상기 논리 어드레스를 포함하는 논리 어드레스 공간이 상기 물리 어드레스 공간에 정합하는지의 여부를 판정하는 단계와;

상기 논리 어드레스 공간이 상기 물리 어드레스 공간에 정합할 때에 상기 트랜지스터의 드레인과 소스 사이에 전류가 흐르는지의 여부를 판정하기 위해 상기 트랜지스터의 게이트에 사전결정된 기준 전압을 인가함으로써 최대 유효 비트 X1를 지정하는 단계와;

상기 지정된 비트를 상기 물리 어드레스에 대응하는 셀들중 하나로부터 출력하는 단계를 포함하는 판독 방법.

청구항 14

제 13 항에 있어서,

상기 논리 어드레스 공간이 상기 물리 어드레스 공간에 정합하는 것으로 판정된 때에 상기 소스와 드레인 사이에 전류가 흐를 때까지 지정된 전압 인가 순서로 상기 트랜지스터의 게이트에 최대 n 개의 상이한 기준 전압을 인가함으로써 상기 비트들(X1, X2, ..., Xn)을 지정하는 단계를 더 포함하는 판독 방법.

청구항 15

제각기 적어도 하나의 트랜지스터를 갖고, 제각기 $n(n \geq 2)$ 개의 비트들(X1, X2, ..., Xn)로 표현된 2^n 레벨의 데이터 각각을 저장하는, 물리 어드레스 공간에 대응하도록 정렬된 다수의 다중레벨 메모리 셀들로부터 상기 비트들(X1, X2, ..., Xn)을 판독하는 방법에 있어서,

논리 어드레스를 상기 물리 어드레스 공간내에 포함된 물리 어드레스로 변환하는 단계와;

상기 논리 어드레스를 포함하는 논리 어드레스 공간이 상기 물리 어드레스 공간에 정합하는지의 여부를 판정하는 단계와;

상기 논리 어드레스 공간이 상기 물리 어드레스 공간에 정합할 때에 최대 유효 비트에 대응하는 상기 트랜지스터의 출력 전압을 기준 전압과 비교함으로써 상기 최대 유효 비트 X1를 지정하는 단계와;

상기 지정된 비트를 상기 물리 어드레스에 대응하는 상기 셀들중 하나로부터 출력하는 단계를 포함하는 판독 방법.

청구항 16

제 15 항에 있어서,

상기 비트들(X1, X2, ..., Xn)에 대응하는 상기 트랜지스터의 출력 전압들과 상기 비트들(X1, X2, ..., Xn)에 대

응하는 기준 전암들을 비교함으로써 상기 비트들(X_1, X_2, \dots, X_n)을 지정하는 단계를 더 포함하는 판독 방법.

청구항 17

제각기 적어도 3레벨 데이터 각각중 하나를 저장하는 다수의 다중레벨 메모리 셀들을 갖는 반도체 장치에 있어서,

비트들을 저장하기 위해 상기 다수의 다중레벨 메모리 셀들에 대해 비트들을 분산 배치하기 위한 비트 분리기를 포함하되, 상기 비트들은 상기 셀들에 저장될, 코딩 방법에 의해 코딩된 적어도 하나의 코드 데이터를 구성하는 반도체 장치.

청구항 18

제 17 항에 있어서,

상기 비트 분리는 상기 코딩 방법의 코드 에러 수정 능력에 따라 상기 셀들중 적어도 하나에 저장될 비트들의 수를 제어하는 반도체 장치.

청구항 19

제 17 항에 있어서,

상기 비트 분리는, 제각기 코드 길이 N 을 갖는 M 개의 코드 데이터의 비트들을 N 행 \times M 열(N, M 은 정수)내의 배열 위치들에 입력하고 상기 각 셀내에 M 개의 비트들을 저장하는 반도체 장치.

청구항 20

제각기 적어도 3레벨 데이터 각각중 하나를 저장하는 다수의 다중레벨 메모리 셀들을 갖는 반도체 장치에, 코딩 방법에 의해 코딩된 적어도 하나의 코드 데이터를 기입하는 방법에 있어서,

상기 다수의 다중레벨 메모리 셀들에 대해 상기 코드 데이터를 구성하는 비트들을 분리배치하는 단계를 포함하는 코드 데이터 기입 방법.

청구항 21

반도체 장치에 있어서,

논리 어드레스를 입력하기 위한 입력 수단과;

상기 논리 어드레스를 물리 어드레스로 변환하기 위한 변환 수단과;

제각기, 2차원 이상의 데이터 성분들로 표현되는 적어도 3레벨 데이터 각각을 저장하는, 물리 어드레스들에 대응하도록 정렬된 다수의 다중레벨 메모리 셀들과;

상기 물리 어드레스에 대응하는 상기 셀들중 하나를 선택하고, 논리 어드레스에 따라 상기 데이터 성분들중 하나를 지정하기 위한 제어 수단과;

상기 지정된 데이터 성분을 출력하기 위한 출력 수단

을 포함하되,

상기 반도체 장치는 상기 데이터 성분들중 적어도 하나를 1회의 지정 동작으로 지정하기 위한 판정 값을 갖고, 상기 논리 어드레스가 상기 물리 어드레스를 포함하는 어드레스 공간에 대응하는 어드레스 공간 A_1 내에 포함될 때에, 상기 제어 수단은 상기 판정 값을 이용하여 상기 지정된 데이터 성분을 지정하고, 상기 지정된 데이터가 상기 출력 수단에 의해 출력되는 반도체 장치.

청구항 22

제 21 항에 있어서,

상기 각 셀은 $n(n \geq 2)$ 차원의 데이터 성분들(X_1, X_2, \dots, X_n)로 표현된 2^n 레벨의 데이터 각각을 저장하며, 상기 반도체 장치는, 상기 어드레스 공간 A_1 내에 포함된 논리 어드레스가 상기 입력 수단에 의해 입력된 때에, 상기 어드레스 공간 A_1 내에 포함된 논리 어드레스의 데이터를 갖는 적어도 데이터 성분 X_1 을 1회의 지정 동작에 의해 지정하기 위한 제 1 판정값을 갖고, 상기 제 1 판정값을 이용하여 상기 제어 수단에 의해 지정된 상기 데이터 성분 X_1 은 상기 어드레스 공간 A_1 내에 포함된 상기 논리 어드레스에 대응하는 상기 셀내에 저장된 데이터 성분들중에서 상기 출력 수단에 의해 출력되는 반도체 장치.

청구항 23

제 22 항에 있어서,

상기 어드레스 공간 A_1 에 인접하는 어드레스 공간(A_2, \dots, A_n)내에 포함된 논리 어드레스의 데이터 성분들(X_2, \dots, X_n)을 지정하기 위한 판정값들을 갖고, 상기 데이터 성분들(X_2, \dots, X_n)은 상기 어드레스 공간 A_1 에 인접하는 순서로 순차적으로 저장된 데이터를 가지며, 상기 제어 수단은 상기 판정값들을 이용하여, 상기 입력 수단에 의해 입력된 논리 어드레스를 포함하는 어드레스 공간에 따라 k 회의 지정 동작으로 데이터 성분 $X_k(k=1, 2, \dots, n)$ 을 지정하며, 상기 데이터 성분 X_k 는 상기 출력 수단에 의해 출력되는 반도체 장치.

청구항 24

제 21 항에 있어서,

상기 각 셀에는 제어 게이트와 부동 게이트를 갖는 전하 축적 층이 제공되는 반도체 장치.

청구항 25

제어 게이트, 소스 및 드레인을 갖고, 적어도 3레벨 데이터 각각을 저장하는, 입력 논리 어드레스로부터 변환된 물리 어드레스들에 대응하도록 제공된 적어도 하나의 다중레벨 메모리 셀을 갖는 반도체 장치에 저장된, 2차원 이상의 데이터 성분들로 표현된 데이터를 판독하는 방법에 있어서,

상기 데이터 성분들중 적어도 하나를 지정하기 위한 판정값을 마련하는 단계와;

상기 논리 어드레스가 상기 물리 어드레스를 포함하는 어드레스 공간에 대응하는 어드레스 공간 A1내에 포함될 때에, 상기 소스와 상기 드레인 사이에 전류가 흐르는지의 여부를 판정하기 위해 상기 제어 게이트에 상기 판정값에 대응하는 전압을 인가하는 단계

를 포함하는 데이터 판독 방법.

청구항 26

제 25 항에 있어서,

상기 셀은 $n(n \geq 2)$ 차원의 데이터 성분들(X_1, X_2, \dots, X_n)로 표현된 2^n 레벨의 데이터 각각을 저장하고, 상기 데이터 성분 X_1 은 상기 어드레스 공간 A1내에 포함된 논리 어드레스의 데이터를 가지며,

적어도 상기 데이터 성분 X_1 을 지정하기 위한 제 1 판정값을 마련하는 단계와;

상기 제 1 판정값에 의해, 상기 어드레스 공간 A1내에 포함된 상기 입력 논리 어드레스에 대응하는 데이터 성분들중에서 상기 데이터 성분 X_1 을 지정하는 단계와;

상기 제 1 판정값에 의해, 상기 어드레스 공간 A1내에 포함된 상기 입력 논리 어드레스에 대응하는 데이터 성분들중에서 지정된 상기 데이터 성분 X_1 을 출력하는 단계

를 더 포함하는 데이터 판독 방법.

청구항 27

제 26 항에 있어서,

상기 어드레스 공간 A1에 인접하는 어드레스 공간(A_2, \dots, A_n)내에 포함된 논리 어드레스들의 데이터를 갖고, 상기 어드레스 공간 A1에 인접한 순서로 순차적으로 저장된 데이터를 갖는 데이터 성분들(X_2, \dots, X_n)을 지정하기 위한 판정값들을 마련하는 단계와;

입력 논리 어드레스를 포함하는 어드레스 공간에 따라 상기 판정값들에 의해 k 회의 지정 동작으로 데이터 성분 $X_k(k=1, 2, \dots, n)$ 을 지정하는 단계와;

상기 데이터 성분 X_k 을 출력하는 단계

를 더 포함하는 데이터 판독 방법.

청구항 28

반도체 장치에 있어서,

제각기 적어도 3레벨 데이터 각각중 하나를 저장하는 다수의 다중레벨 메모리 셀들과;

코딩 방법에 의해, 제 1 데이터를 적어도 2디지트 코드 성분들로 구성된 제 1 코드로 변환하기 위한 제 1 코딩 수단과;

코딩 방법에 의해, 제 2 데이터를 적어도 2디지트 코드 성분들로 구성된 제 2 코드로 변환하기 위한 제 2 코딩 수단과;

제각기 동일 디지트의, 상기 제 1 코드의 코드 성분과 상기 제 2 코드의 코드 성분을 갖는 상기 적어도 2쌍의 코드 성분들을 대응하는 셀들에 저장하기 위해 상기 코드 성분들을 정렬하기 위한 정렬 수단

을 포함하는 반도체 장치.

청구항 29

제 28 항에 있어서,

적어도 상기 제 1 코드내에 발생하는 에러를 수정하기 위한 수정 수단을 더 포함하는 반도체 장치.

청구항 30

반도체 장치에 있어서,

제각기 적어도 3개의 상이한 데이터 레벨들 각각중 하나를 저장하는 다수의 다중레벨 메모리 셀들과;

입력 데이터를, 코딩 방법에 의해 적어도 2디지트의 코드로 변환하기 위한 코딩 수단과;

상기 셀들중 적어도 하나에, 제 1 코드 성분 블록 및 그와 동일 디지트의 제 2 코드 성분 블록을 갖는 코드 성

본 그룹을 저장하기 위해, 상기 코드를 특정 수의 디지털들에 의해 적어도 상기 제 1 및 제 2 코드 성분 블록으로 분리하기 위한 분리 수단을 포함하는 반도체 장치.

청구항 31

제 30 항에 있어서,

상기 셀들내에 저장된 상기 코드 성분들을 판독하고, 상기 코딩 방법의 여러 수정 능력하에 상기 코드 성분들로 구성된 적어도 하나의 코드 트레인을 수정하여, 상기 수정된 코드 트레인을 출력하기 위한 판독 수단을 더 포함하는 반도체 장치.

청구항 32

제 31 항에 있어서,

상기 판독 수단은 상기 각 셀로부터 특정 디지털의 데이터 비트를 판독하여 상기 코드 트레인을 형성하는 반도체 장치.

청구항 33

제 32 항에 있어서,

상기 각 셀은 4개의 상이한 레벨들의 데이터 각각중 하나를 저장하며, 상기 분리 수단은 상기 코드를 동일한 디지털의 제 1 및 제 2 코드 성분 블록들로 분리하여, 상기 셀들중 적어도 하나에 코드 성분 쌍을 저장하되, 상기 쌍은 상기 제 1 코드 성분 블록 및 그와 동일 디지털의 제 2 코드 성분 블록을 갖는 반도체 장치.

청구항 34

제 33 항에 있어서,

상기 두 블록들 각각은 이들 블록이 출력될 때 잉여 비트들을 갖는 데이터 비트들로 구성되는 반도체 장치.

청구항 35

제 34 항에 있어서,

상기 잉여 비트들은 상기 두 블록들 각각에 대응하도록 상기 두 블록들에 기초하여 형성되며, 상기 두 블록들 각각의 데이터 비트들 수와 상기 대응하는 잉여 비트들의 수의 총 수는 상기 코드 트레인의 비트들의 수와 동일한 반도체 장치.

청구항 36

제 32 항에 있어서,

상기 각 셀은 8개의 상이한 레벨들의 데이터 각각중 하나를 저장하며, 상기 분리 수단은 상기 코드를 동일 디지털 수의 제 1, 제 2 및 제 3 코드 성분 블록들로 분리하여 코드 성분 그룹을 상기 셀들중 적어도 하나에 저장하되, 상기 그룹은 동일 디지털의 제 1 코드 성분 블록, 제 2 코드 성분 블록 및 제 3 코드 성분 블록을 갖는 반도체 장치.

청구항 37

제 36 항에 있어서,

상기 세 블록들 각각은 이들 블록들이 출력될 때 잉여 비트들을 갖는 데이터 비트들로 구성되는 반도체 장치.

청구항 38

제 37 항에 있어서,

상기 잉여 비트들은 상기 세 블록들 각각에 대응하도록 상기 세 블록들에 기초하여 형성되며, 상기 세 블록들 각각의 데이터 비트들의 수와 상기 대응하는 잉여 비트들의 수의 총 수는 상기 코드 트레인의 비트들의 수와 동일한 반도체 장치.

청구항 39

제 37 항에 있어서,

상기 잉여 비트들은 상기 세 블록들 각각에 대응하도록 해밍 코드에 의해 형성된 제 2 잉여 비트들에 기초하여 형성된 제 1 잉여 비트들을 포함하되, 상기 제 2 잉여 비트들은 상기 세 블록들 각각에 부가되어 코드 트레인들을 형성하고, 상기 각 코드 트레인의 모든 비트들은 EX-OR되어 상기 각 코드 트레인에 대응하도록 상기 제 1 잉여 비트들을 형성하며, 상기 각 코드 트레인의 비트들의 수와 상기 대응하는 잉여 비트들의 수의 총 수는 상기 코드 트레인의 비트들의 수와 동일한 반도체 장치.

청구항 40

제 36 항에 있어서,

상기 제 1 블록은 잉여 비트들을 갖는 데이터 비트들로 구성되며, 상기 제 2 블록과 상기 제 3 블록을 접속함

으로써 형성된 제 4 블록은 이들 제 3 및 제 4 블록이 출력될 때 잉여 비트들을 갖는 데이터 비트들로 구성되는 반도체 장치.

청구항 41

제 40 항에 있어서,

상기 잉여 비트들은 상기 제 1 및 제 4 블록에 대응하도록 상기 제 1, 제 2 및 제 3 블록들에 기초하여 형성되며, 상기 제 1 블록의 데이터 비트들의 수와 상기 대응하는 잉여 비트들의 수의 총 수와, 상기 제 4 블록을 나눔으로써 형성된 두 블록들의 데이터 비트들의 수와 상기 대응하는 잉여 비트들의 수의 총 수는 상기 코드 트레인의 비트들의 수와 동일한 반도체 장치.

청구항 42

제 32 항에 있어서,

상기 각 셀은 16개의 상이한 레벨들의 데이터 각각중 하나를 저장하며, 상기 분리 수단은 상기 코드를 동일한 디지털 수의 제 1, 제 2, 제 3 및 제 4 코드 성분 블록들로 분리하여 상기 셀들중 적어도 하나에 코드 성분 그룹을 저장하되, 상기 그룹은 동일 디지털의 제 1 코드 성분 블록, 제 2 코드 성분 블록, 제 3 코드 성분 블록 및 제 4 코드 성분 블록을 갖는 반도체 장치.

청구항 43

제 42 항에 있어서,

상기 네 블록들 각각은 이들 블록이 출력될 때 잉여 비트들을 갖는 데이터 비트들로 구성되는 반도체 장치.

청구항 44

제 43 항에 있어서,

상기 잉여 비트들은 상기 네 블록들 각각에 대응하도록 상기 네 블록들에 기초하여 형성되며, 상기 네 블록들 각각의 데이터 비트들의 수와 상기 대응하는 잉여 비트들의 수의 총 수는 상기 코드 트레인의 비트들의 수와 동일한 반도체 장치.

청구항 45

제 44 항에 있어서,

상기 잉여 비트들은 상기 네 블록들 각각에 대응하도록 해밍 코드에 의해 형성된 제 2 잉여 비트들에 기초하여 형성된 제 1 잉여 비트들을 포함하되, 상기 제 2 잉여 비트들은 상기 네 블록들 각각에 부가되어 코드 트레인들을 형성하고, 상기 각 코드 트레인의 모든 비트들은 EX-OR되어 상기 각 코드 트레인에 대응하도록 제 1 잉여 비트들을 형성하며, 상기 각 코드 트레인의 비트들의 수와 상기 대응하는 제 1 잉여 비트들의 수의 총 수는 상기 코드 트레인의 비트들의 수와 동일한 반도체 장치.

청구항 46

제 42 항에 있어서,

상기 제 1 블록과 제 2 블록을 접속함으로써 형성된 제 5 블록과, 제 3 블록과 제 4 블록을 접속함으로써 형성된 제 6 블록은 이들 제 5 및 제 6 블록이 출력될 때 잉여 비트들을 갖는 데이터 비트들로 구성되는 반도체 장치.

청구항 47

제 46 항에 있어서,

상기 잉여 비트들은 상기 제 5 및 제 6 블록들에 대응하도록 상기 제 1, 제 2, 제 3 및 제 4 블록들에 기초하여 형성되며, 상기 제 5 및 제 6 블록들 각각을 나눔으로써 형성된 두 블록들 각각의 데이터 비트들의 수와 상기 대응하는 잉여 비트들의 수의 총 수는 상기 코드 트레인의 비트들의 수와 동일한 반도체 장치.

도면





















